

VILNIAUS GEDIMINO TECHNIKOS UNIVERSITETAS

Marijan JURGO

NANOMETRINIŲ INTEGRINIŲ GRANDYNŲ VISIŠKAI SKAITMENINIAMS DAŽNIO SINTEZATORIAMS KŪRIMAS IR TYRIMAS

DAKTARO DISERTACIJA

TECHNOLOGIJOS MOKSLAI,
ELEKTROS IR ELEKTRONIKOS INŽINERIJA (01T)



Vilnius LEIDYKLA
TECHNIKA 2018

Disertacija rengta 2014–2018 metais Vilniaus Gedimino technikos universitete.

Vadovas

prof. habil. dr. Romualdas NAVICKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T).

Vilniaus Gedimino technikos universiteto elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo taryba:

Pirmininkas

prof. dr. Dalius NAVAKAUSKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T).

Nariai:

prof. dr. Kęstutis ARLAUSKAS (Vilniaus universitetas, fizika – 02P),
prof. dr. Eduardas BAREIŠA (Kauno technologijos universitetas, informatikos inžinerija – 07T),
prof. dr. Artūras SERACKIS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – 01T),
prof. dr. Bernardo TELLINI (Pizos universitetas, Italija, elektros ir elektronikos inžinerija – 01T).

Disertacija bus ginama viešame Elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo tarybos posėdyje **2018 m. lapkričio 6 d. 10 val.** Vilniaus Gedimino technikos universiteto senato posėdžių salėje.

Adresas: Saulėtekio al. 11, LT-10223 Vilnius, Lietuva.

Tel.: (8 5) 274 4956; faksas (8 5) 270 0112; el. paštas doktor@vgtu.lt

Pranešimai apie numatomą ginti disertaciją išsiųsti 2018 m. spalio 5 d.

Disertaciją galima peržiūrėti VGTU talpykloje <http://dspace.vgtu.lt> ir Vilniaus Gedimino technikos universiteto bibliotekoje (Saulėtekio al. 14, LT-10223 Vilnius, Lietuva) bei Lietuvos mokslų akademijos Vrublevskių bibliotekoje (Žygimantų g. 1, LT-01102).

VGTU leidyklos TECHNIKA 2018-044-M mokslo literatūros knyga
<http://leidykla.vgtu.lt>

ISBN 978-609-476-133-1

© VGTU leidykla TECHNIKA, 2018

© Marijan Jurgo, 2018

marijan.jurgo@vgtu.lt

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY

Marijan JURGO

DESIGN AND INVESTIGATION OF
NANOMETRIC INTEGRATED CIRCUITS
FOR ALL-DIGITAL FREQUENCY
SYNTHESISERS

DOCTORAL DISSERTATION

TECHNOLOGICAL SCIENCES,
ELECTRICAL AND ELECTRONIC ENGINEERING (01T)



Vilnius LEIDYKLA TECHNICA 2018

Doctoral dissertation was prepared at Vilnius Gediminas Technical University in 2014–2018.

Supervisor

Prof. Dr Habil. Romualdas NAVICKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T).

The Dissertation Defense Council of Scientific Field of Electrical and Electronic Engineering of Vilnius Gediminas Technical University:

Chairman

Prof. Dr Dalius NAVAKAUSKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T).

Members:

Prof. Dr Kęstutis ARLAUSKAS (Vilnius University, Physics – 02P),

Prof. Dr Eduardas BAREIŠA (Kaunas University of Technology, Informatics Engineering – 07T),

Prof. Dr Artūras SERACKIS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – 01T),

Prof. Dr Bernardo TELLINI (University of Pisa, Italy, Electrical and Electronic Engineering – 01T).

The dissertation will be defended at the public meeting of the Dissertation Defence Council of Electrical and Electronic Engineering in the Senate Hall of Vilnius Gediminas Technical University at **10 a. m. on 6 November 2018**.

Address: Saulėtekio al. 11, LT-10223 Vilnius, Lithuania.

Tel.: +370 5 274 4956; fax +370 5 270 0112; e-mail: doktor@vgtu.lt

A notification on the intend defending of the dissertation was send on 6 October 2018.

A copy of the doctoral dissertation is available for review at VGTU repository <http://dspace.vgtu.lt> and at the Library of Vilnius Gediminas Technical University (Saulėtekio al. 14, LT-10223 Vilnius, Lithuania) and the Wroblewski Library of the Lithuanian Academy of Sciences (Žygimantų st. 1, LT-01102).

Reziumė

Disertacijoje nagrinėjami daugiajuosčių dažnio sintezatorių blokai, modeliai bei jų kūrimas taikant nanometrines integrinių grandynų technologijas. Iškeliama ir įrodoma hipotezė, kad taikant nanometrines technologijas visiškai skaitmeniniai dažnio sintezatoriai įgalina gauti parametrus, reikiamus daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams. Darbo tikslas – sukurti visiškai skaitmeninio dažnio sintezatoriaus blokus, kuriuos naudojant galima pasiekti reikiamus sintezatoriaus, skirto daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams, parametrus taikant nanometrines integrinių grandynų gamybos technologijas. Darbe išspręsti tokie uždaviniai: ištirtos dažnio sintezatorių struktūros ir sukurta struktūra, tinkama įgyvendinti taikant nanometrines technologijas, sukurti ir ištirti siūlomos struktūros sintezatorių sudarančių blokų modeliai ir integriniai grandynai.

Disertaciją sudaro įvadas, trys skyriai, bendrosios išvados, naudotos literatūros ir autoriaus publikacijų disertacijos tema sąrašai ir keturi priedai.

Įvadiniamе skyriuje aptariama tiriamoji problema, darbo aktualumas, aprašomas tyrimų objektas, formuluojamas darbo tikslas bei uždaviniai, aprašoma tyrimų metodika, darbo mokslinis naujumas, darbo rezultatų praktinė reikšmė, ginamieji teiginiai bei disertacijos struktūra.

Pirmajame skyriuje apžvelgiamos dažnio sintezatorių rūšys, aprašomi pagrindiniai dažnio sintezatorių parametrai ir dažniausiai naudojamos kokybės funkcijos. Apžvelgiami dažnio sintezatorių modeliai ir jų veikimas fazės ir dažnio srityse. Aprašomi visiškai skaitmeninio dažnio sintezatoriaus triukšmų šaltiniai. Skyriaus pabaigoje suformuluojami disertacijos uždaviniai.

Antrajame skyriuje pasiūlyta ir taikoma nauja kokybės funkcija, leidžianti atlikti daugiajuosčių dažnio sintezatorių palyginamąją analizę. Iškeliama reikalavimai pagrindiniams sintezatoriaus blokams, nagrinėjami laikinio skaitmeninio keitiklio skiriamosios gebos didinimo būdai, sukurtas naujas laikinio skaitmeninio keitiklio modelis. Siūloma dažnio sintezatoriaus struktūra daugiajuosčiams siųstuvams-imtuvams.

Trečiajame skyriuje pagal iškeltus reikalavimus daugiajuosčio dažnio sintezatoriaus blokams, taikant kompiuterinių skaičiavimų ir eksperimentinius metodus yra kuriami ir tiriami laikinio skaitmeninio keitiklio, skaitmeniniu būdu valdomo generatoriaus bei skaitmeninio filtro integriniai grandynai.

Disertacijos tema yra atspausdinti 7 moksliniai straipsniai: 4 – mokslo žurnaluose, įtrauktuose į Clarivate Analytics Web of Science duomenų bazę, 1 – tarptautinių konferencijų medžiagoje, įtrauktoje į Clarivate Analytics Proceedings duomenų bazę, 2 – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse. Disertacijoje atliktų tyrimų rezultatai buvo paskelbti devyniose mokslinėse konferencijose Lietuvoje ir užsienyje.

Abstract

The dissertation investigates blocks and models of multiband frequency synthesisers and their implementation in nanometric integrated circuit technologies. A hypothesis is raised and proven that all-digital frequency synthesisers in nanometric technologies allow to achieve parameters required for multiband wireless transceivers. The aim of the thesis is to create blocks of all-digital frequency synthesiser that allow to achieve its parameters required for applications in multiband wireless transceivers implemented in nanometric integrated circuit technology nodes. The following tasks were approached in the work: the structures of frequency synthesisers were investigated and a structure suitable for implementation in nanometric technologies was created; the models of the blocks constituting synthesiser of proposed structure and integrated circuits of these blocks were created and investigated.

The dissertation consists of introduction, three chapters, general conclusions, lists of references and author's publications on the topic of the dissertation, summary in English and four annexes.

The introduction reveals the investigated problem, importance of the thesis and the object of research and describes the purpose and tasks of the work, research methodology, scientific novelty, the practical significance of results examined in the dissertation, defended statements and the structure of the dissertation.

Chapter 1 reviews the types of frequency synthesisers, describes their main parameters and the most commonly used figures of merit. The models of frequency synthesisers and their operation in phase and frequency domains are overviewed. Noise sources of all-digital frequency synthesiser are described. At the end of the chapter, the tasks for the dissertation are formulated.

Chapter 2 proposes and applies a new figure of merit, allowing to perform a comparative analysis of multiband frequency synthesisers. The requirements for the main synthesiser blocks are drawn. The means of increasing the resolution of time to digital converter are analysed and new model of time to digital converter is presented. The structure of multiband frequency synthesiser is proposed.

Chapter 3 presents the integrated circuits of time to digital converter, digitally controlled oscillator and digital filter, which are designed according to the requirements for the multiband synthesiser blocks.

7 articles on the subject of the dissertation are published: 4 articles – in the Clarivate Analytics Web of Science database, 1 – in international conference publications which are referred by Clarivate Analytics database Proceedings, 2 – in scientific journal listed in other international databases. 9 presentations on the subject of the dissertation have been given at national and international conferences.

Žymėjimai

Simboliai

C_L – inverterio apkrovos talpa;

C_{ox} – NMOP tranzistoriaus užtūros oksido savitoji talpa;

F_{ATR}, F_{ATRs} – atraminis signalas ir sinchronizuotas atraminis signalas;

f_{ATR}, f_{SVG} – atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo dažnis;

f_c – centrinis dažnis;

$F_{Iš}, F_{Iš/N}$ – dažnio sintezatoriaus išėjimo signalas ir dažnio daliklio išėjimo signalas;

f_k – sintezatoriaus praleidžiamų dažnių juostos ribinis dažnis;

f_{max}, f_{min} – maksimalus ir minimalus signalo dažnis;

f_{off} – dažnio nuokrypis nuo centrinio dažnio, kuriam esant matuotas fazės triukšmas;

$FOM_{FTR}, FOM_{PN}, FOM_S, FOM_G$ – kokybės funkcija, įvertinanti fazės triukšmą, galią ir dažnio perderinimo ruožą; fazės triukšmą ir galią; lusto plotą ir tranzistoriaus kanalo ilgį; išėjimo signalo fronto nestabilumo triukšmą ir vartojamąją galią;

F_{SVG} – skaitmeniniu būdu valdomo generatoriaus išėjimo signalas;

$f_{\Delta\Sigma}$ – $\Delta\Sigma$ modulatoriaus sinchronizavimo signalo dažnis;

H_{ak}, H_{uk} – atviros ir uždaros kilpos perdavimo funkcija;

$K_{\text{NORM}}, K_{\text{SVG}}$ – skaitmeniniu būdu valdomo generatoriaus normavimo ir perdavimo koeficientas;

\mathcal{L} – fazės triukšmas;

$\mathcal{L}_{\text{ATR}}(f)$ – atraminio signalo įnešamo fazės triukšmo spektrinis tankis;

$\mathcal{L}_{\text{DS}}(f)$ – bendrasis dažnio sintezatoriaus fazės triukšmas;

L_g – minimalus tranzistoriaus kanalo ilgis;

$\mathcal{L}_{\text{kv}}(f)$ – skaitmeniniu būdu valdomo generatoriaus be $\Delta\Sigma$ modulatoriaus kvantavimo triukšmo spektrinis tankis;

$\mathcal{L}_{\text{LSK}}(f)$ – laikinio skaitmeninio keitiklio kuriamo fazės triukšmo spektrinis tankis;

L_n, L_p – NMOP ir PMOP tranzistoriaus ilgis;

$\mathcal{L}_{\text{SVG}}(f), \mathcal{L}_{\text{SVG}\Delta\Sigma}(f)$ – skaitmeniniu būdu valdomo generatoriaus savojo (osciliatoriaus) triukšmo spektrinis tankis ir kvantavimo ir $\Delta\Sigma$ formavimo triukšmo spektrinis tankis;

$\mathcal{L}_{\Delta\Sigma}(f), \mathcal{L}_{\Delta\Sigma f}(f), \mathcal{L}_{\Delta\Sigma\text{kv}}(f)$ – bendrasis skaitmeniniu būdu valdomo generatoriaus kvantavimo ir $\Delta\Sigma$ formavimo triukšmo spektrinis tankis, skaitmeniniu būdu valdomo generatoriaus $\Delta\Sigma$ formavimo triukšmo spektrinis tankis ir skaitmeniniu būdu valdomo generatoriaus su $\Delta\Sigma$ modulatoriumi kvantavimo triukšmo spektrinis tankis;

N – dažnio dalybos koeficientas;

P – vartojamoji galia;

$R_{\text{ATR}}, R_{\text{SVG}}$ – fiziniėje dažnio sintezatoriaus realizacijoje apskaičiuojama atraminio signalo fazė ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo fazė;

S – integrinio grandyno plotas;

s – tolydaus dažnio srities operatorius;

$t_{\text{ATR}}, t_{\text{SVG}}$ – atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo laiko žymė;

$T_{\text{ATR}}, T_{\text{SVG}}$ – atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo periodas;

$t_{\text{kl}}, t_{\text{kr}}$ – inverterio išėjimo signalo kylančio fronto ir krentančio fronto vėlinimo trukmė;

t_{res} – laikinio skaitmeninio keitiklio skiriamoji geba;

V_{DD} – inverterio maitinimo įtampa;

$V_{\text{tn}}, V_{\text{tp}}$ – NMOP ir PMOP tranzistoriaus atkirtos įtampa;

W_n, W_p – NMOP ir PMOP tranzistoriaus plotis;

$W_{\Delta\Sigma}$ – $\Delta\Sigma$ modulatoriaus valdomų skaitmeniniu būdu valdomo generatoriaus dažnio valdymo bitų skaičius;

α – proporcinio perdavimo koeficientas;

Δf – dažnio nuokrypis nuo centrinio dažnio, ties kuriuo matuojamas fazės triukšmas;

Δf_{RES} – skaitmeniniu būdu valdomo generatoriaus išėjimo signalo dažnio valdymo žingsnis;

ΔN – dažnio valdymo žodžio pokytis;

Δt_f – laiko trukmė tarp krentančio atraminio signalo fronto ir krentančio skaitmeniniu būdu valdomo generatoriaus signalo fronto;

Δt_{inv} – inverterio vėlinimo trukmė;

Δt_r – laiko trukmė tarp kylančio atraminio signalo fronto ir kylančio skaitmeniniu būdu valdomo generatoriaus signalo fronto;

$\Delta \varphi_E$ – fazės klaidos pokytis;

ε – fazės klaidos trupmeninė dalis;

$\theta_{ATR}, \theta_{SVG}$ – atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo fazė;

λ – filtro perdavimo koeficientas;

μ_n, μ_p – NMOP ir PMOP tranzistoriaus krūvininkų judris;

ρ – integrinio perdavimo koeficientas;

σ_t – fronto nestabilumo triukšmas,

τ – skiriamoji geba;

τ_{inv} – inverterio vėlinimo trukmė;

φ_E – atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus išėjimo signalo fazės skirtumas;

φ_{SVG} – skaitmeniniu būdu valdomo generatoriaus signalo fazė tolydaus dažnio srityje;

$\varphi_{t,ATR}, \varphi_{t,LSK}, \varphi_{t,SVG}, \varphi_{t,SVGkv}$ – atraminio signalo įėjimo fazės triukšmas, laikinio skaitmeninio keitiklio kuriamas fazės triukšmas, savasis skaitmeniniu būdu valdomo generatoriaus fazės triukšmas, skaitmeniniu būdu valdomo generatoriaus kvantavimo triukšmas;

ω_{SVG} – skaitmeniniu būdu valdomo generatoriaus signalo kampinis dažnis tolydaus dažnio srityje.

Santrumpos

ARB – arbitras;

ATR – atraminis signalas;

BIR – begalinė impulsinė reakcija;

CLK – taktinis signalas;

DBD – didžiausias bendras daliklis;

DS – dažnio sintezatorius;

E-TSPC – išplėstasis tikrasis vienos fazės sinchronizavimas;

FD – fazės detektorius;

FDK – fazės derinimo kilpa;

FOM – kokybės funkcija;

GEN – žiedinis generatorius;

IG – integrinis grandynas;

IN – įėjimas;

IŠ – išėjimas;
ĮVG – įtampa valdomas generatorius;
KF – kilpos filtras;
KMOP – komplementarus metalas oksidas puslaidininkis;
KP – krūvio pompa;
LSK – laikinis skaitmeninis keitiklis;
RIR – ribota impulsinė reakcija;
RST – pradinis nustatymas;
SF – sinchronizavimo frontas;
SVG – skaitmeniniu būdu valdomas generatorius;
TCL – įrankių komandų kalba;
TSPC – tikrasis vienos fazės sinchronizavimas.

Apibrėžimai

Technologinis etapas (integrinių grandynų gamybos technologija) – tai *ITRS* (angl. *International Technology Roadmap for Semiconductors*) nustatyto puslaidininkių technologijų vystymosi plano etapas. Jis yra apibūdinamas įprasto išdėstymo topologijos metalu padengto vidinio sujungimo minimaliu pusžingsniu (pvz.: 0,18 μm , 0,13 μm , 65 nm ir pan.), kuris parodo technologijos galimybes.

Turinys

IVADAS	1
Problemos formulavimas.....	1
Darbo aktualumas.....	2
Tyrimų objektas	3
Darbo tikslas.....	3
Darbo uždaviniai	3
Tyrimų metodika.....	4
Darbo mokslinis naujumas	4
Darbo rezultatų praktinė reikšmė	5
Ginamieji teiginiai.....	5
Darbo rezultatų aprobavimas.....	6
Disertacijos struktūra.....	7
Padėka	7
1. DAŽNIO SINTEZATORIŲ ANALIZĖ.....	9
1.1. Dažnio sintezatorių rūšys	9
1.1.1. Klasikinė fazės derinimo kilpa	10
1.1.2. Visiškai skaitmeninė fazės derinimo kilpa	11
1.2. Dažnio sintezatoriaus parametrai ir kokybės funkcijos	13
1.3. Visiškai skaitmeninių dažnio sintezatorių modeliai	15
1.3.1. I-ojo tipo dažnio sintezatoriaus modeliai.....	15
1.3.2. II-ojo tipo dažnio sintezatoriaus modeliai	26
1.3.3. II-ojo tipo aukštesnės eilės dažnio sintezatoriaus modeliai	32

1.4. Visiškai skaitmeninių dažnio sintezatorių triukšmų šaltiniai	35
1.4.1. I-ojo tipo dažnio sintezatoriaus triukšmo perdavimo funkcijos.....	38
1.4.2. II-ojo tipo dažnio sintezatoriaus triukšmo perdavimo funkcijos.....	40
1.4.3. II-ojo tipo aukštesnės eilės dažnio sintezatoriaus triukšmo perdavimo funkcijos	42
1.4.4. Bendroji visiškai skaitmeninių dažnio sintezatorių fazės triukšmo funkcija.....	43
1.5. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas.....	43
2. VISIŠKAI SKAITMENINIO DAŽNIO SINTEZATORIAUS DAUGIAJUOSČIAMS SIŪSTUVAMS-IMTUVAMS TYRIMAS.....	45
2.1. Kokybės funkcija.....	46
2.2. Reikalavimai dažnio sintezatoriaus pagrindiniams blokams	47
2.3. Laikinio skaitmeninio keitiklio skiriamosios gebos gerinimo būdai	57
2.3.1. Technologinis laikinio skaitmeninio keitiklio skiriamosios gebos gerinimas	59
2.3.2. Laikinio skaitmeninio keitiklio struktūros tobulinimas	63
2.4. 2D <i>Vernier</i> žiedinio laikinio skaitmeninio keitiklio modelis.....	68
2.5. Dažnio sintezatoriaus daugiajuosčiams siūstuvams-imtuvams modelis.....	77
2.6. Antrojo skyriaus išvados	82
3. VISIŠKAI SKAITMENINIO DAŽNIO SINTEZATORIAUS PAGRINDINIŲ BLOKŲ SUKŪRIMAS IR TYRIMAS.....	85
3.1. 2D <i>Vernier</i> žiedinio laikinio skaitmeninio keitiklio integrinis grandynas.....	85
3.2. Skaitmeniniu būdu valdomo generatoriaus integrinis grandynas	96
3.3. Skaitmeninio filtro integrinis grandynas	107
3.4. Trečiojo skyriaus išvados	112
BENDROSIOS IŠVADOS	115
LITERATŪRA IR ŠALTINIAI.....	117
AUTORIAUS MOKSLINIŲ PUBLIKACIJŲ DISERTACIJOS TEMA SĄRAŠAS..	127
SUMMARY IN ENGLISH.....	129
PRIEDAI ¹	145
A priedas. Dažnio sintezatorių parametrai ir apskaičiuota kokybės funkcija.....	146
B priedas. Disertacijos autoriaus sąžiningumo deklaracija	150
C priedas. Bendraautorijų sutikimai teikti publikacijų medžiagą disertacijoje.....	151
D priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos	156

¹ Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Contents

INTRODUCTION	1
Problem formulation	1
Relevance of the thesis	2
The object of the research	3
The aim of the thesis	3
The objectives of the thesis	3
Research methodology	4
Scientific novelty of the thesis	4
Practical value of the research findings	5
The defended statements	5
Approval of the research findings	6
Structure of the dissertation	7
Acknowledgements	7
1. ANALYSIS OF FREQUENCY SYNTHESISERS	9
1.1. Classes of frequency synthesisers	9
1.1.1. Conventional phase-locked loop	10
1.1.2. All-digital phase-locked loop	11
1.2. Parameters of figures of merit of frequency synthesisers	13
1.3. Models of all-digital frequency synthesisers	15
1.3.1. Models of type-I frequency synthesiser	15
1.3.2. Models of type-II frequency synthesiser	26

1.3.3. Models of type-II higher order frequency synthesiser	32
1.4. Noise sources of all-digital frequency synthesisers	35
1.4.1. Transfer functions of type-I frequency synthesiser's noise	38
1.4.2. Transfer functions of type-II frequency synthesiser's noise	40
1.4.3. Transfer functions of type-II higher order frequency synthesiser's noise	42
1.4.4. Total phase noise function of all-digital frequency synthesiser	43
1.5. Conclusions of the 1st chapter and formulation of the thesis objectives	43
2. RESEARCH OF ALL-DIGITAL FREQUENCY SYNTHESISER FOR MULTIBAND TRANSCEIVERS	45
2.1. Figure of merit	46
2.2. Requirement for main blocks of frequency synthesiser	47
2.3. Means of increasing time to digital converter's resolution	57
2.3.1. Technological improvement of time to digital converter's resolution	59
2.3.2. Improvement of time to digital converter's structure	63
2.4. Model of 2D <i>Vernier</i> time to digital converter based on gated ring oscillators..	68
2.5. Model of frequency synthesiser for multiband transceivers	77
2.6. Conclusions of 2nd chapter	82
3. DESIGN OF MAIN BLOCKS OF ALL-DIGITAL FREQUENCY SYNTHESISER	85
3.1. 2D <i>Vernier</i> time to digital converter's integrated circuit	85
3.2. Digitally controlled oscillator's integrated circuit	96
3.3. Digital filter's integrated circuit	108
3.4. Conclusions of 3rd chapter	112
GENERAL CONCLUSIONS	115
REFERENCES	117
LIST OF SCIENTIFIC PUBLICATIONS BY THE AUTHOR ON THE TOPIC OF THE DISSERTATION	127
SUMMARY IN ENGLISH	129
ANNEXES ²	145
Annex A. Parameters of frequency synthesisers and calculated figure of merit	146
Annex B. Author's declaration of dissertation work integrity	150
Annex C. Co-authors' agreements to present publications material in the doctoral dissertation	151
Annex D. Copies of scientific publications by the author on the topic of the dissertation	156

² The annexes are supplied in the enclosed compact disc.

Įvadas

Problemos formulavimas

Pastaruoju metu sparčiai plinta paslaugos, kuriose naudojamos belaidžio ryšio technologijos – tobulinami esami ir kuriami nauji mobiliojo ryšio standartai, belaidis vietinis tinklas jau yra įprastas ir būtinas namų, darbo ir viešojoje aplinkoje, didėja daiktų interneto ir smulkiųjų asmeninių įtaisų skaičius. Viena iš pagrindinių belaidžio ryšio sistemos komponentų yra siųstuvas-imtuvas, kuriame dažnio sintezatoriai yra naudojami lokaliu aukštadažnio signalo generatoriumi. Norint, kad vienas įrenginys atitiktų įvairius duomenų perdavimo standartus reikalingi plataus dažnio derinimo (neretai iki 6,0 GHz), mažo fazės triukšmo (-90 – 100 dBc/Hz esant 1 kHz poslinkiui nuo nešlio dažnio, -110 – 120 dBc/Hz esant 1 MHz poslinkiui nuo nešlio dažnio) dažnio sintezatoriai.

Klasikinio (didžiaja dalimi analoginio) dažnio sintezatoriaus kūrimas taikant modernias integrinių grandynų technologijas sudėtingėja, nes vis mažėjant minimaliems matmenims KMOP technologijose, kurias taikant gaminamos mikro ir nanosistemos, yra sunkiau pasiekti belaidžiam ryšiui reikiamus parametrus (pvz., fazės triukšmo lygį, signalo dažnį, dažnio derinimo ruožą ir kt.) dėl sumažėjusios maitinimo įtampos, kuri sąlygoja nuotėkio srovių įtakos didėjimą, dažnio derinimo ruožo mažėjimą, signalo-triukšmo santykio mažėjimą. Todėl bandoma pe-

reiti prie visiškai skaitmeninės struktūros dažnio sintezatorių, kadangi skaitmeniniai grandynai dėl savo prigimties neturi analoginiams dažnio sintezatorių integriniams grandynams būdingų trūkumų. Tačiau skaitmeniniai dažnio sintezatoriai, jų blokų modeliai ir integriniai grandynai yra nepakankamai ištirti, kad juos galima būtų taikyti inžinerinėje praktikoje.

Dėl šios priežasties disertacijoje nagrinėjama problema yra dažnio sintezatorių ir juos sudarančių blokų integrinių grandynų daugiajuosčiams belaidžio ryšio siųstuvams-įmtuvams sintezės sudėtingumas taikant nanometrines KMOP integrinių grandynų gamybos technologijas, kai sumažėjusi maitinimo įtampa sąlygoja nuotėkio srovių įtakos didėjimą, dažnio perderinimo ruožo mažėjimą, signalotriukšmo santykio mažėjimą. Problemai išspręsti yra iškeliami ir įrodoma darbinė hipotezė: taikant nanometrines KMOP integrinių grandynų gamybos technologijas visiškai skaitmeniniai dažnio sintezatoriai įgalina gauti daugiajuosčiams belaidžio ryšio siųstuvams-įmtuvams reikiamus parametrus ir jie yra labiau tinkami nei klasikinių dažnio sintezatorių parametrai.

Darbo aktualumas

Plečiantis 4G belaidžio ryšio tinklams, tobulėjant vietinio tinklo standartams bei kuriant 5G tinklo technologijas, kuriomis siekiama palaikyti didėjančių daiktų interneto įtaisų skaičių ir augančius jų duomenų srautus, spartinti duomenų perdavimą mobiliuoju ryšiu ir užtikrinti kritinių įtaisų darbą, kai būtinas mažos delsos ir aukšto patikimumo ryšys, kartu atsiranda nauji reikalavimai belaidžio ryšio aparatinei įrangai. Didžioji dalis esamų ir vystomų belaidžio ryšio standartų naudoja dažnių ruožus iki 6 GHz (Yole 2017). Daugiajuosčiai siųstuvai-įmtuvai yra naudojami, kad vienas įrenginys atitiktų šių standartų gausą.

Tokie siųstuvai-įmtuvai taip pat naudojami pastaruoju metu populiarėjančiame programine įranga valdomame radijuje, kurio viena pagrindinių idėjų yra tos pačios aparatinės įrangos panaudojimas skirtingiems belaidžio ryšio standartams, kas leidžia greitai pritaikyti esamą įrangą naujoms ir besivystančioms technologijoms, kartu mažinant sistemos kainą (Kiela 2017).

Siekiant taupyti galią, lusto plotą ir kainą, naudojamos vis naujesnės integrinių grandynų gamybos technologijos. Tačiau vieni moderniausių daugiajuosčių siųstuvų-įmtuvų integriniai grandynai yra įgyvendinti taikant nedidesnes nei 65 nm technologijas ir juose naudojami klasikinės struktūros dažnio sintezatoriai (Analog Devices 2017; Analog Devices 2013; Lime Microsystems 2015). Komer ciniai siųstuvai-įmtuvai, įgyvendinti taikant 28–7 nm technologijas, yra publikuoti (Qualcomm 2018), tačiau pagal nedidelį skelbiamų techninių duomenų kiekį, galima tik spręsti, kad jie turi ribotą taikymo sritį ir mažesnę dažnio perderinimo ruožą nei sintezatorių, įgyvendintų taikant brandesnes technologijas. Lietuvoje ši

sritis irgi yra mažai tirta – bevielio ryšio siųstuvų imtuvų ir dažnio sintezatorių tema straipsnius skelbia VGTU mokslininkai V. Barzdėnas, A. Vasjanov (Vasjanov *et al.* 2016), K. Kiela, (Kiela *et al.* 2016), V. Mačaitis, (Macaitis *et al.* 2014), o išmaniųjų sistemų tyrimus, taikant aparatūros aprašymo kalbas ir skaitmeninių įtaisų sintezę, vykdo VGTU ir KTU mokslininkai D. Navakauskas, A. Serackis, T. Sledevič, G. Tamulevičius (Tamulevicius *et al.* 2015), E. Bareiša, V. Jusas, K. Motiejūnas, R. Šeinauskas (Bareisa *et al.* 2018).

Galima teigti, kad visiškai skaitmeninių dažnio sintezatorių struktūros, juos sudarantys blokai bei jų modeliai nėra pakankamai ištirti ir aprašyti, o darbe vykdomi tyrimai yra aktualūs.

Tyrimų objektas

Darbo tyrimų objektas – aukštadažnių, plataus dažnio perderinimo ir mažo fazės triukšmo dažnio sintezatorių ir juos sudarančių blokų integriniai grandynai bei jų projektavimo būdai taikant nuo 65 nm iki 0,18 μm KMOP technologijas.

Darbo tikslas

Šio darbo pagrindinis tikslas sukurti visiškai skaitmeninio dažnio sintezatoriaus blokus, kuriuos naudojant galima pasiekti reikiamus sintezatoriaus, skirto daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams, parametrus taikant nanometrines KMOP integrinių grandynų gamybos technologijas.

Darbo uždaviniai

Darbo tikslui pasiekti darbe reikia spręsti šiuos uždavinius:

1. Ištirti dažnio sintezatorių struktūras, naudojamas belaidžio ryšio siųstuvams-imtuvams ir sukurti dažnio sintezatoriaus struktūrą, tinkančią įgyvendinti taikant nanometrines ir submikronines KMOP technologijas.
2. Sukurti ir ištirti siūlomos struktūros dažnio sintezatoriaus sudarančių blokų modelius.
3. Sukurti ir ištirti dažnio sintezatorių sudarančių blokų integrinius grandynus.

Tyrimų metodika

Nanometrinių integrinių grandynų visiškai skaitmeniniams dažnio sintezatoriams tyrimams taikyti analiziniai, matematiniai ir kompiuterinio modeliavimo metodai. Mokslinių tyrimų disertacijos tema analizei taikyti analiziniai metodai. Visiškai skaitmeninio dažnio sintezatoriaus daugiajuosčiams siūstuvams-imtuvams tyrimui taikyti matematiniai metodai. Laikinio skaitmeninio keitiklio, skaitmeniniu būdu valdomo generatoriaus ir dažnio sintezatoriaus filtro integrinių grandynų tyrimams buvo taikytos TSMC 40 nm, 65 nm ir IBM (GlobalFoundries) 0,13 μm ir 0,18 μm KMOP integrinių grandynų gamybos technologijos. Sukurtų dažnio sintezatoriaus blokų integrinių grandynų tyrimo metu taikyti kompiuterinio modeliavimo metodai naudojant Cadence ir ModelSim programinius paketus. Pagaminto skaitmeniniu būdu valdomo generatoriaus integrinio grandyno prototipo parametrų patikrai buvo taikomi eksperimentiniai tyrimo metodai. Eksperimentinių tyrimu metu buvo naudojama spektro analizė 10 MHz–6 GHz dažnių ruože.

Darbo mokslinis naujumas

Rengiant disertaciją buvo gauti šie elektros ir elektronikos inžinerijos mokslui reikšmingi rezultatai:

1. Sukurti nauji daugiajuosčiams visiškai skaitmeninės struktūros dažnio sintezatoriams tinkami laikinio skaitmeninio keitiklio, skaitmeniniu būdu valdomo generatoriaus ir skaitmeninio filtro integriniai grandynai ir apskaičiuota tokių integrinių grandynų įtaka sintezatoriaus fazės triukšmui.
2. Pasiūlyta nauja kokybės funkcija, kurią taikant galima atlikti įvairių struktūrų belaidžio ryšio siūstuvams-imtuvams skirtų dažnio sintezatorių, įgyvendintų taikant skirtingas KMOP integrinių grandynų gamybos technologijas, palyginamąją analizę.
3. Pasiūlytas laikinio skaitmeninio keitiklio modelis, kurį naudojant galima išmatuoti laiko trukmę, žymiai mažesnę nei inverterio vėlinimo trukmė, ir kuris gali būti sintezuotas taikant įvairias KMOP integrinių grandynų gamybos technologijas.
4. Pasiūlytas valdymo algoritmas, išsprendžiantis dviejų dimensijų žiedinio *Vernier* laikinio skaitmeninio keitiklio išėjimo signalo dekodavimo problemą.

Darbo rezultatų praktinė reikšmė

Disertacijoje gauti rezultatai panaudoti projektuojant visiškai skaitmeninio dažnio sintezatoriaus blokus taikant 65 nm, 0,13 μm ir 0,18 μm KMOP integrinių grandynų gamybos technologijas. Sukurti dažnio sintezatoriaus blokų modeliai ir integriniai grandynai gali būti taikomi šiuolaikiniuose ir ateities kartų siųstuvų-imtuvų integriniuose grandynuose, kurių darbinis dažnis iki 6 GHz. Tyrimų metu sukurti ir tirti integriniai grandynai bei jų projektavimo metodai gali būti taikomi magistrantų ir kitų mikro- ir nanoelektronikos srities specialistų mokymams. Siūlomos struktūros aukštos skiriamosios gebos laikinio skaitmeninio keitiklio integrinis grandynas gali būti taikomas ne tik belaidžio ryšio sistemoms, bet ir kitose srityse, pvz., biomediciniuose atvaizdavimo įtaisuose, matavimo sistemose.

Disertacijos tyrimų rezultatai buvo panaudoti vykdant:

- Mokslo darbą „Daiktų interneto karkaso modelio ir priemonių intelektualioms transporto sistemoms kūrimas ir tyrimas“ (Nr. 16949, 2018).
- Mokslo darbą „Laikinio skaitmeninio keitiklio skiriamosios gebos didinimas mikro ir nanosistemose didelės spartos bevieliam duomenų perdavimui“ (Nr. 16430, 2017).
- Mokslo darbą „Nanoelektronikos procesų modeliavimas ir tyrimas“ (Nr. TMT 292, 2012–2016).
- Mokslo darbą „Aukštadažnių integrinių grandynų išmaniojo bevielio ryšio sistemoms kūrimas ir tyrimas“ (Nr. 10124, 2014).

Ginamieji teiginiai

1. Pasiūlyta nauja kokybės funkcija, apimanti pagrindinius dažnio sintezatorių, skirtų belaidžio ryšio siųstuvams-imtuvams, parametrus (fazės triukšmą, centrinį dažnį, dažnio perderinimo ruožą, galią, plotą, technologinį etapą), leidžia atlikti įvairių struktūrų dažnio sintezatorių, įgyvendintų taikant skirtingas KMOP integrinių grandynų gamybos technologijas, palyginamąją analizę.
2. Sukurta laikinio skaitmeninio keitiklio struktūra leidžia pasiekti skiriamąją gebą, artimą 1 ps, kuri daug kartų mažesnė, nei pakopos vėlinimo trukmė taikant 65 nm ir 0,13 μm KMOP technologijas, o jo valdymo algoritmas išsprendžia 2D žiedinio *Vernier* laikinio skaitmeninio keitiklio struktūrų išėjimo signalo dekodavimo problemą, kai trukmė tarp įėjimo signalų kylančių frontų yra mažesnė nei žiedinių generatorių pakopos vėlinimo trukmės skirtumo ir *Vernier* koeficiento k , parodančio, kad bendra žemesnio dažnio generatoriaus

$k-1$ pakopų vėlinimo trukmė turi būti lygi bendrai didesnio dažnio generatoriaus k pakopų vėlinimo trukmei, sandauga.

3. Suprojektuotas ir įgyvendintas siūlomos struktūros skaitmeniniu būdu valdomas generatorius užtikrina gigahercų eilės išėjimo signalo dažnį ir platų dažnio perderinimo ruožą (dalinis atvejis taikant 0,18 μm technologiją – 4,17–5,12 GHz), būtinus skaitmeniniu būdu valdomą generatorių taikyti daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams.
4. Visiškai skaitmeninis dažnio sintezatorius naudojant disertacijoje sukurtus sintezuojamus blokus gali būti įgyvendintas taikant nuo 65 nm iki 0,18 μm integrinių grandynų gamybos technologijas.

Darbo rezultatų aprobavimas

Disertacijos tema yra atspausdinti 7 moksliniai straipsniai: keturi – mokslo žurnaluose, įtrauktuose į Clarivate Analytics Web of Science duomenų bazę (Jurgo, Kiela, Navickas 2013; Jurgo, Navickas 2016; Mačaitis, Jurgo, Charlamov, Barzdėnas 2016; Jurgo, Navickas 2017), vienas – tarptautinių konferencijų medžiagoje, įtrauktoje į Clarivate Analytics Web of Science „Conference Proceedings“ duomenų bazę (Jurgo, Navickas 2017), du – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse (Jurgo, Navickas 2016; Jurgo, Navickas 2017).

Disertacijoje atliktų tyrimų rezultatai buvo paskelbti devyniose mokslinėse konferencijose Lietuvoje ir užsienyje:

- IEEE 18th Lithuania-Belarus Workshop „Advanced microwave devices and systems“. Lietuva, Vilnius, 2017 m. gruodžio 8–9 d.
- IEEE 16th Lithuania-Belarus Workshop „Advanced microwave devices and systems“. Lietuva, Vilnius, 2015 m. gruodžio 4 d.
- IEEE 5th Workshop on „Advances in Information, Electronic and Electrical Engineering“. Latvija, Ryga, 2017 m. lapkričio 24–25 d.
- IEEE International Conference "Electrical, Electronic and Information Sciences 2017". Lietuva, Vilnius, 2017 m. balandžio 27–28 d.
- IEEE International Open Conference of „Electrical, Electronic and Information Sciences (eStream 2016)“, Lietuva, Vilnius, 2016 m. balandžio 19 d.
- Dvidešimt pirmoji Lietuvos jaunųjų mokslininkų konferencija „Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika“. Lietuva, Vilnius, 2018 m. kovo 16 d.

- Dvidešimtoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“. Lietuva, Vilnius, 2017 m. kovo 17–18 d.
- Devynioliktoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“. Lietuva, Vilnius, 2016 m. kovo 18 d.
- Aštuonioliktoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*“. Lietuva, Vilnius, 2015 m. kovo 20 d.

Disertacijos struktūra

Disertaciją sudaro įvadas, trys skyriai ir bendrosios išvados. Taip pat yra keturi priedai.

Darbo apimtis yra 144 puslapiai, neskaitant priedų, tekste panaudotos 96 numeruotos formulės, 76 paveikslai ir 8 lentelės. Rašant disertaciją buvo panaudoti 107 literatūros šaltiniai.

Padėka

Norėčiau padėkoti savo moksliniam vadovui prof. habil. dr. Romualdui Navickui už gerą vadovavimą, kantrybę, vertingus patarimus ir motyvavimą.

Dėkoju doc. dr. Vaidotui Barzdėnui už lustų gamybos organizavimą. Taip pat ačiū kolegoms Karoliui Kielai, Vytautui Mačiui ir Žydrūnui Tamoševičiui už labai vertingas konsultacijas, pastabas ir pagalbą rengiant disertaciją.

Tai pat dėkoju Kompiuterijos ir ryšių technologijų katedrai ir visam jos kolektyvui už galimybę studijuoti, tobulėti ir vykdyti mokslinę veiklą. Ačiū Lietuvos mokslo tarybai už suteiktą paramą.

Labai dėkoju šeimai, draugams ir artimiesiems už jų paramą per visus studijų metus.

Dažnio sintezatorių analizė

Šiame skyriuje apžvelgiami dažnio sintezatorių tipai ir jų struktūros, aprašomi pagrindiniai dažnio sintezatorių parametrai ir šiuo metu dažniausiai literatūroje sutinkamos kokybės funkcijos, naudojamos kiekybiškai palyginti dažnio sintezatorių parametrus. Apžvelgiami dažnio sintezatorių modeliai ir jų veikimas fazės ir dažnio srityse. Aprašomi visiškai skaitmeninio dažnio sintezatoriaus triukšmų šaltiniai. Skyriaus pabaigoje suformuluojami disertacijos uždaviniai.

Skyriaus tematika paskelbtas vienas mokslinis straipsnis (Jurgo, Navickas 2016). Skyriaus tematika skaityti du pranešimai Lietuvos konferencijose (Jurgo 2015; Jurgo 2018) ir vienas pranešimas tarptautinėje konferencijoje (Kielas *et al.* 2015).

1.1. Dažnio sintezatorių rūšys

Pastaruoju metu sparčiai plinta belaidžio ryšio technologijos ir jomis paremtos paslaugos. Siekiant pasiekti didesnius duomenų perdavimo greičius, pradedami naudoti vis aukštesni dažnių ruožai – 5 GHz dažnio Wi-Fi tinklas jau yra įprastas (802.11n arba 802.11ac standartai), didėja LTE ir WiMAX mobiliojo ryšio tinklų aprėptis ir pradedama naudoti 60 GHz dažnių vietinį tinklą (802.11ad). Sparčiai daugėja daiktų interneto įtaisų ir kuriamos 5G technologijos, kuriomis siekiama

užtikrinti suderinamumą su didėjančiu daiktų interneto įtaisų skaičių ir augančius jų duomenų srautus, spartinti duomenų perdavimą mobiliuoju ryšiu ir užtikrinti kritinių įrenginių darbą, kai būtinas mažos delsos ir aukšto patikimumo ryšys. Taip pat pradedamos vystyti intelektualiosios transporto sistemos, kurios, kaip ir daugelis kitų belaidžio ryšio standartų, naudoja dažnių ruožus iki 6 GHz (Yole 2017).

Siekiant naudoti daugelį belaidžio ryšio standartų viename įrenginyje, kuriami daugiajuosčiai plataus perderinimo belaidžio ryšio siųstuvų-imtuvų integriniai grandynai. Vienas iš pagrindinių plataus perderinimo siųstuvo-imtuvo blokų yra dažnio sintetizatorius (DS), skirtas generuoti aukštadažnį signalą. Dažnio sintetizatoriumi dažniausiai naudojama fazės derinimo kilpa (FDK). Yra du pagrindiniai FDK tipai (Wu *et al.* 2015; Staszewski, Balsara 2006; Best 2007):

- klasikinė (mišri, krūvio pompos) FDK;
- visiškai skaitmeninė FDK.

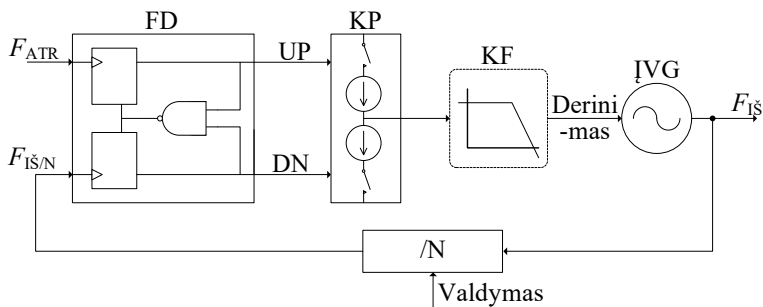
Sekančiuose poskyriuose bus aptartos jų struktūros.

1.1.1. Klasikinė fazės derinimo kilpa

Klasikinė fazės derinimo kilpos struktūros schema pateikta 1.1 paveiksle. Ją sudaro fazės detektorius (FD), krūvio pompa (KP), kilpos filtras (KF), įtampa valdomas generatorius (ĮVG) ir dažnio daliklis iš koeficiento N ($/N$). Kilpos filtro kontūras yra pavaizduotas punktyrine linija, kadangi jis gali būti tiek integruotas lusto viduje, tiek išorinis. Suderintoje (užrakintoje) būsenoje DS išėjimo signalo dažnis yra lygus atraminio signalo dažniui ir dalybos koeficiento N sandaugai. Reikia pastebėti, kad 1.1 paveiksle ir sekančiame aptarime didžiosiomis F raidėmis yra žymimas sintetatoriaus signalo pavadinimas, o mažąja f raide žymimas atitinkamo signalo dažnis.

Fazės detektorius aptinka fazės skirtumą tarp atraminio signalo F_{ATR} ir FDK išėjimo signalo, padalinto iš koeficiento N , $F_{IS/N}$ ir generuoja stačiakampius signalus UP (kai $f_{ATR} > f_{IS/N}$) ir DN (kai $f_{ATR} < f_{IS/N}$), kurių impulsų ilgiai proporcingi fazės detektoriaus įėjimo signalų dažnio skirtumui. Krūvio pompa, priklausomai nuo gautų signalų UP ir DN, generuoja teigiamus arba neigiamus srovės impulsus, kuriuos integruoja ir filtruoja žemųjų dažnių kilpos filtras.

Priklausomai nuo filtro išėjimo signalo, įtampa valdomas generatorius didina arba mažina generuojamo signalo dažnį, siekiant pašalinti susidariusią fazės klaidą. Kai F_{ATR} ir $F_{IS/N}$ signalų dažniai yra sulyginami, kilpa pereina į suderintą būseną. Dažnio daliklis dažniausiai yra valdomas (programuojamas), todėl keičiant dalybos koeficientą, galima keisti sintetatoriaus išėjimo signalo dažnį.



1.1 pav. Klasikinės fazės derinimo kilpos struktūra. FD – fazės detektorius, KP – krūvio pompa, KF – kilpos filtras, IVG – įtampa valdomas generatorius, /N – dažnio daliklis iš koeficiento N, F_{ATR} – atraminis signalas, $F_{IŠ}$ – išėjimo signalas

Fig. 1.1. Structure of conventional phase locked loop. FD – frequency detector, KP – charge pump, KF – loop filter, IVG – voltage controlled oscillator, /N – frequency divider by coefficient N, F_{ATR} – reference clock signal, $F_{IŠ}$ – output signal

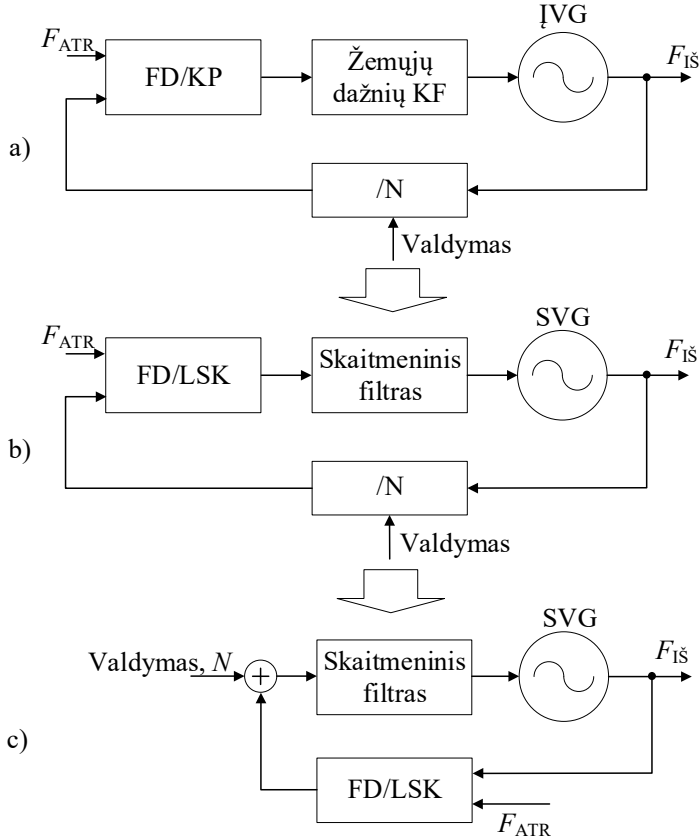
Visi klasikinę FDK sudarantys blokai yra analoginiai, išskyrus skaitmeninį fazės detektorių. Dėl šios priežasties klasikinė FDK dažnai vadinama mišriąja FDK. Taip pat, dėl naudojamo fazės detektoriaus ir krūvio pompos, dažnai literatūroje šios struktūros FDK vadinama FDK su krūvio pompa (angl. *Charge Pump*).

1.1.2. Visiškai skaitmeninė fazės derinimo kilpa

Klasikinių dažnio sintezatorių, kurių didžioji dalis blokų yra analoginiai, įgyvendinimas tampa sudėtingesnis taikant modernias nanometrines technologijas. Pavyzdžiui, sumažėjus maitinimo įtampai, sumažėja signalo-triukšmo santykis ir sumažėja įtampa valdomo generatoriaus perderinimo ruožas; žemųjų dažnių filtru naudojami didelės talpos kondensatoriai, kurių nuotėkio srovių įtaka didėja taikant nanometrines technologijas, be to, jie užima didelį plotą, dėl ko dažnai realizuojami už lusto ribų. Dėl šių priežasčių pastaruoju metu didelis dėmesys yra skiriamas visiškai skaitmeniniams dažnio sintezatoriams, kurie dėl savo skaitmeninės prigimties neturi analoginiams sintezatoriams būdingų trūkumų, tirti (Weltin-Wu *et al.* 2010; Temporiti *et al.* 2009; Staszewski, Wallberg, *et al.* 2005).

Yra dvi pagrindinės visiškai skaitmeninių fazės derinimo kilpų struktūros. Pirmoji yra gaunama pakeičiant visus klasikinės fazės derinimo kilpos blokus skaitmeniniais atitikmenimis (1.2 pav., b): fazės detektorius ir krūvio pompa keičiami fazės detektoriumi su laikiniu skaitmeniniu keitikliu (LSK, angl. *Time To Digital Converter – TDC*), analoginis žemųjų dažnių filtras – skaitmeniniu filtru, įtampa valdomas generatorius – skaitmeniniu būdu valdomu generatoriumi (SVG, angl. *Digitally Controlled Oscillator – DCO*). Bet šioje struktūroje lieka dažnio daliklis, kurio funkciją gali atlikti fazės detektorius su laikiniu skaitmeniniu kei-

tikliu. Todėl dažnio daliklį galima pašalinti, taip sumažinant lusto plotą ir vartojamąją galią. Taigi, gaunama antroji struktūra, susidedanti iš fazės detektoriaus su LSK, skaitmeninio filtro ir skaitmeniniu būdu valdomo generatoriaus. Supaprastinta tokio DS struktūra pateikta (1.2 pav., c).



1.2 pav. Supaprastinta visiškai skaitmeninės fazės derinimo kilpos struktūra. SVG – skaitmeniniu būdu valdomas generatorius, LSK – laikinis-skaitmeninis keitiklis, F_{ATR} – atraminio generatoriaus signalas, $F_{IŠ}$ – išėjimo signalas

Fig. 1.2. Simplified structure of all digital phase locked loop. FD – frequency detector, SVG – digitally controlled oscillator, LSK – time to digital converter, F_{ATR} – reference clock signal, $F_{IŠ}$ – output signal

1.2. Dažnio sintetatoriaus parametrai ir kokybės funkcijos

Dažnio sintetatoriai ir fazės derinimo kilpos yra apibūdinamos pagal įvairius parametrus. Pagrindiniai iš jų yra:

- Fazės triukšmas. Apibūdina išėjimo signalo grynumą. Fazės triukšmas tai signalo galios ir triukšmo galios 1 Hz dažnių juostoje, nutolusioje nuo nešlio (generuojamo signalo) dažnio tam tikru dažniu. Neretai fazės triukšmo vertė yra nuo -70 dBc/Hz iki -90 dBc/Hz sintetatoriaus praleidžiamų dažnių juostos ribose ir nuo -100 dBc/Hz iki -120 dBc/Hz už sintetatoriaus praleidžiamų dažnių juostos.
- Centrinis dažnis. Tai vidurinis generuojamo signalo dažnis tarp maksimalaus ir minimalaus signalo dažnio $f_c = (f_{\min} + f_{\max})/2$. Belaidžio ryšio siųstuvams-imtuvams skirto DS centrinis dažnis turi būti gigahercų eilės, neretai iki 6 GHz.
- Dažnio perderinimo ruožas. Tai skirtumas tarp didžiausio ir mažiausio generuojamo signalo dažnių. Daugiajuosčio DS dažnio perderinimo ruožas turi būti bent 1 GHz.
- Vartojamoji galia. Kaip ir su visais įtaisais, kuriant dažnio sintetatorius susiduriama su kompromiso ieškojimu tarp greitaveikos, galios suvartojimo ir triukšmo. Belaidžio ryšio siųstuvams-imtuvams skirti dažnio sintetatoriai įprastai vartoja iki 200 mW galią.
- Lusto plotas. Integrinio grandyno plotas įtakoja gamybos kainą. Dažnio sintetatorių užimamas lusto plotas įprastai yra mažesnis nei 1 mm^2 .

Kai kurių pastaraisiais metais paskelbtų dažnio sintetatorių parametrai ir jų palyginimas yra pateiktas A priede. Didelė dalis dažnio sintetatorių yra specifinės paskirties ir nėra tinkami taikyti daugiajuosčiuose siųstuvuose-imtuvuose.

Priklausomai nuo DS pritaikymo srities, kažkuris iš parametrų gali būti svarbesnis. Tačiau pagal vieną parametą sunku palyginti įvairius DS. Tam tikslui yra naudojamos kokybės funkcijos (angl. *FOM* – *Figure of Merit*).

Literatūroje yra randamos kelios kokybės funkcijos. Jų dauguma orientuotos tik į vieną ar kelis parametrus. Šaltinyje (Cheng *et al.* 2011) pateikiamos dažnio sintetatorių kokybės funkcijos, parodytos (1.1)–(1.3) lygtyse. Kokybės funkcija FOM_s , parodyta (1.1) išraiškoje, vertina integrinio grandyno plotą ir integrinių grandynų gamybos technologiją, kadangi vertinamas mažiausias tranzistoriaus kanalo plotas. Ši kokybės funkcija tinka tarpusavyje palyginti įvairius integrinius grandynus, kadangi nevertina nuo integrinio grandyno paskirties priklausančių parametrų. Tačiau nagrinėjant tik dažnio sintetatorius, ši kokybės funkcija netinka, kadangi įvertinamas tik vienas iš pagrindinių parametrų.

$$FOM_s = \frac{S(\text{mm})^2 \times 1(\mu\text{m}^2)}{L_g^2(\mu\text{m}^2) \times 1(\text{mm}^2)}, \quad (1.1)$$

čia S – lusto plotas, L_g – minimalus tranzistoriaus kanalo ilgis.

Kokybės funkcija FOM_{PN} , parodyta (1.2) išraiškoje, įvertina dažnio sintetatoriaus fazės triukšmą, išėjimo signalo dažnį ir vartojamąją galią. Ji tinkama tarpusavyje palyginti neperderinamus DS, kadangi nėra įvertinamas sintetatoriaus dažnio perderinimo ruožas. Šio trūkumo neturi kokybės funkcija FOM_{FTR} :

$$FOM_{PN} = \mathcal{L}\{\Delta f\} - 20\lg\left(\frac{f_c}{\Delta f}\right) + 10\lg\left(\frac{P}{1 \text{ mW}}\right); \quad (1.2)$$

$$FOM_{FTR} = \mathcal{L}\{\Delta f\} - 20\lg\left(\frac{f_c}{\Delta f} \cdot \frac{FTR}{10}\right) + 10\lg\left(\frac{P}{1 \text{ mW}}\right), \quad (1.3)$$

čia $\mathcal{L}\{\Delta f\}$ – fazės triukšmas, f_c – centrinis dažnis, Δf – dažnio nuokrypis nuo centrinio dažnio, ties kuriuo matuojamas fazės triukšmas, FTR – santykinis dažnio perderinimo ruožo plotis, P – vartojamoji galia.

Tačiau tiek (1.2), tiek (1.3) nevertina sintetatoriaus lusto ploto ir gamybos technologijos, todėl tinkama palyginti tik sintetatorius, įgyvendintus taikant tą pačią technologiją. Verta paminėti, kad FOM_{FTR} išraiška dažnai naudojama ir įtampa valdomų generatorių kokybės funkcijai skaičiuoti. Taip pat ši funkcija naudojama (Pu *et al.* 2011) šaltinyje.

Dar viena sutinkama kokybės funkcija, naudojama dažnio sintetatoriams įvertinti yra parodyta (1.4) (Tasca *et al.* 2011):

$$FOM_\sigma = 10\lg\left(\frac{\sigma_t}{1 \text{ s}} \cdot \frac{P}{1 \text{ mW}}\right), \quad (1.4)$$

čia σ_t – fronto nestabilumo triukšmas.

Kokybės funkcija FOM_σ vertina sintetatoriaus išėjimo signalo fronto nestabilumo triukšmą ir vartojamąją galią. Ji yra panaši į FOM_{PN} , kadangi fronto nestabilumo triukšmas yra fazės triukšmo atitikmuo laiko srityje. Todėl FOM_σ , kaip ir FOM_{PN} , netinka kiekybiškai palyginti plataus perderinimo dažnio sintetatorius.

Taigi, literatūroje sutinkamos kokybės funkcijos nėra tinkamos daugiajuosčiams dažnio sintetatoriams, įgyvendintiems taikant skirtingas integritinių grandynų technologijas, kiekybiškai palyginti ir jas reikia tobulinti.

1.3. Visiškai skaitmeninių dažnio sintetatorių modeliai

Dažnio sintetatorių modeliai gali būti skirstomi į fazės ir dažnio srities modelius. Dėl skaitmeninės prigimties, visiškai skaitmeninės struktūros DS natūralu nagrinėti diskretaus dažnio srityje (z srityje). Tačiau dažnai yra naudojama tolydaus dažnio srities (s srities) modelio aproksimacija, kai sintetatoriaus praleidžiamų dažnių juostos ribinis dažnis yra žymiai mažesnis už atraminio signalo dažnį (Jiang *et al.* 2015; Jiang *et al.* 2012; Staszewski, Balsara 2005; Syllaios *et al.* 2011; Mendel *et al.* 2007).

Sintetatoriai yra skirstomi į tipus pagal integratorių skaičių jų struktūroje. Dažniausiai yra naudojami I-ojo arba II-ojo tipo DS (Best 2007). Šiame poskyryje bus aptariami šių tipų visiškai skaitmeninio dažnio sintetatoriaus modeliai fazės srityje, diskretaus ir tolydaus dažnio srityje.

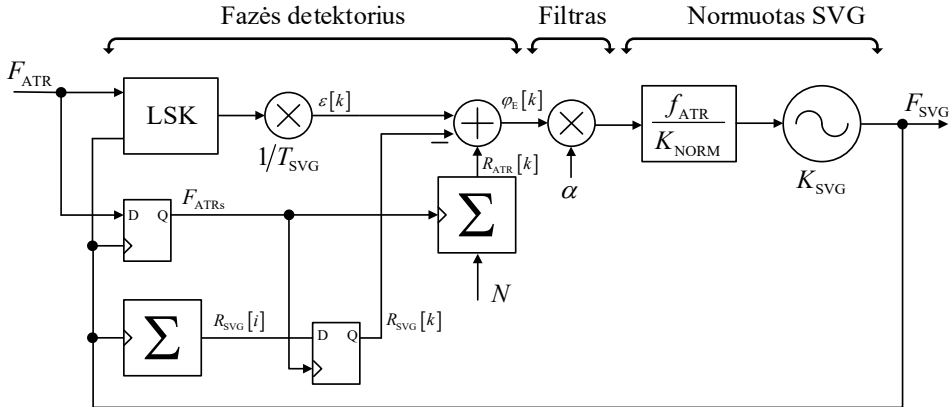
Vienas iš visiškai skaitmeninių dažnio sintetatorių pradininkų, pirmasis pasiūlęs struktūrą, tinkančią tokį sintetatorių taikyti mobiliojo ryšio siųstuvams-imtuvams, yra R. B. Staszewski. Jo darbuose yra pateikti dažnio sintetatoriaus modeliai laiko ir dažnio srityse, yra išvestos dažnio sintetatoriaus perdavimo funkcijos ir nagrinėjami sintetatoriaus triukšmų šaltiniai. Todėl šiame darbe, nagrinėjant visiškai skaitmeninio dažnio sintetatorius, dažnai bus remiamasi šio mokslininko darbais.

1.3.1. I-ojo tipo dažnio sintetatoriaus modeliai

Dažnio sintetatoriaus modelis fazės srityje parodo sintetatoriaus fazės nustatymo ir sintetatoriaus valdymo sistemą. Toks modelis yra parodytas 1.3 paveiksle (Staszewski, Wallberg, *et al.* 2005; Syllaios *et al.* 2007). Tai yra išplėstas 1.2 paveikslo c dalyje parodytos struktūros variantas, apimantis visus funkcinis blokus.

Sintetatoriaus išėjimo signalo F_{SVG} , kurio dažnis yra gigahercų eilės, stabilumas yra užtikrinamas stabiliu atraminio signalo F_{ATR} , kurio dažnis yra megahercų eilės, stabilumu. Dažnio valdymo žodis N yra apibrėžiamas kaip pageidaujamo išėjimo signalo dažnio ir atraminio signalo dažnio santykis $f_{\text{SVG}}/f_{\text{ATR}}$ ir yra išreikšiamas trupmeniniu skaičiumi, kurio sveikosios dalies vienetas atitinka f_{ATR} dažnį. Šis žodis yra atraminio signalo fazės (periodų) akumuliatoriaus, taktuojamo atraminiu signalu, įėjimas. Dažnio valdymo žodžio N apibrėžimas signalų dažnio santykiu kartu aprašo pagrindinę dažnio sintetatoriaus funkciją – reikiamo dažnio išėjimo signalo generavimą priklausomai nuo stabilaus atraminio signalo dažnio ir valdymo žodžio. Tačiau šį koeficientą galima apibrėžti signalų periodais: jis parodo, kiek kartų SVG generuojamo signalo periodas yra ilgesnis už atraminio signalo periodą ($N = T_{\text{ATR}}/T_{\text{SVG}}$). Fiziškai signalų periodus (signalų frontus) yra

paprasciau stebėti ir skaičiuoti, todėl pastarasis apibūžimas tinkamesnis sintezatoriaus įgyvendinimui. Taip pat iš signalų frontų laiko žymių ir periodų skaičiaus, kaip toliau aprašyta, galima spręsti apie signalų fazę, todėl dažnai fazės informacija yra tapatinama su signalų periodais.



1.3 pav. I-ojo tipo visiškai skaitmeninio dažnio sintezatoriaus fazės srities modelis
Fig. 1.3. Phase model of type-I all digital frequency synthesiser

1.3 paveiksle pateiktas dažnio sintezatorius yra I-ojo tipo, kadangi joje yra tik vienas integratorius (skaitmeniniu būdu valdomas generatorius) ir sintezatoriaus filtru yra naudojamas tik proporcinio perdavimo blokas, kurio perdavimo koeficientas lygus α . Ši struktūra pasižymi greitesnėmis dinaminėmis charakteristikomis, lyginant su aukštesnio tipo sintezatoriais. I-ojo tipo DS įprastai naudojami, kai reikalingas greitas fazės ir dažnio nustatymas. Taip pat, I-ojo tipo DS fazės klaida yra visada proporcinga dažnio poslinkiui. Ji neišnyksta, esant pastoviam dažnio poslinkiui, priešingai nei II-ojo tipo sintezatoriuose. Tačiau lyginant su klasikinės struktūros dažnio sintezatoriais, tai neriboja I-ojo tipo visiškai skaitmeninio DS fazės nustatymo dinaminio ruožo arba maksimalaus SVG darbinio dažnio ruožo.

Atraminio signalo F_{ATR} ir generuojamo signalo F_{SVG} reikšminių (kylančių arba krentančių) frontų laiko žymes galima apibūdinti taip:

$$\begin{aligned} t_{SVG}[i] &= iT_{SVG}; \\ t_{ATR}[k] &= kT_{ATR}, \end{aligned} \quad (1.5)$$

čia i ir k – atitinkamai SVG generuojamo ir atraminio signalų atskaitos (frontų indeksai), lygūs atitinkamai neneigiamiems sveikiems skaičiams ($0, 1, \dots, n$), o T_{SVG} ir T_{ATR} – atitinkamai SVG generuojamo ir atraminio signalų periodai.

Nagrinėjant visiškai skaitmeninius dažnio sintetizatorius, patogų frontų laiko žymes normuoti pagal generuojamo signalo periodą T_{SVG} , ir visus įvykius matuoti šių periodų skaičiumi. Tokiu atveju periodas T_{SVG} yra vadinamas laiko vienetu, atitinkantis fazę, lygią 2π . Padalinus (1.5) lygtis iš laiko vieneto, gaunami bedimensiai dydžiai, tapatinami su generuojamo ir atraminio signalų fazėmis:

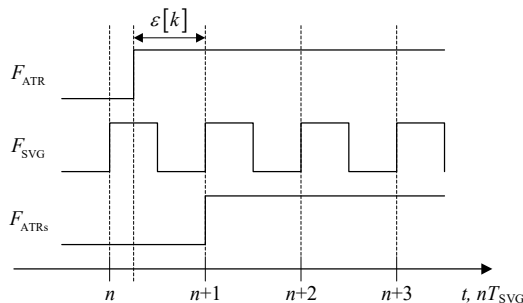
$$\begin{aligned}\theta_{\text{SVG}}[i] &\equiv \frac{t_{\text{SVG}}}{T_{\text{SVG}}} = i; \\ \theta_{\text{ATR}}[k] &\equiv \frac{t_{\text{ATR}}}{T_{\text{SVG}}} = k \frac{T_{\text{ATR}}}{T_{\text{SVG}}} = kN.\end{aligned}\quad (1.6)$$

Šių fazės verčių apskaičiavimas gali būti vykdomas naudojant akumuliatorius. SVG generuojamo signalo atveju turi būti skaičiuojami pačio generuojamo signalo reikšminiai (kylantys arba krentantys) frontai, o atraminio signalo atveju turi būti akumuluojamas dažnio valdymo žodis:

$$\begin{aligned}R_{\text{SVG}}(iT_{\text{SVG}}) &\equiv R_{\text{SVG}}[i] = \sum_{l=1}^i 1; \\ R_{\text{ATR}}(kT_{\text{ATR}}) &\equiv R_{\text{ATR}}[k] = \sum_{l=1}^k N,\end{aligned}\quad (1.7)$$

čia R_{SVG} ir R_{ATR} – fizinėje dažnio sintetizatoriaus realizacijoje apskaičiuojamos atitinkamai SVG generuojamo ir atraminio signalų fazės.

Pradinės $R_{\text{SVG}}[0]$ ir $R_{\text{ATR}}[0]$ reikšmės nėra svarbios, kadangi dažnio sintetizatorius turi panaikinti pradinę fazės klaidą (skirtumą), bet dėl paprastumo, daroma prielaida, kad jos lygios nuliui.



1.4 pav. Atraminio signalo sinchronizavimas aukštadažniu skaitmeniniu būdu valdomo generatoriaus išėjimo signalu

Fig. 1.4. Retiming of reference clock with high-frequency output signal of digitally controlled oscillator

Iš šio aptarimo ir (1.5)–(1.7) lygčių matyti, kad dažnio sintetizatoriuje egzistuoja dvi taktavimo signalų sritys: atraminio signalo ir SVG generuojamo signalo. Šios sritys yra nepriklausomos viena nuo kitos ir tiesiogiai SVG generuojamo ir atraminio signalo fazės reikšmių nesusijusiais laiko momentais t_{SVG} ir t_{ATR} palyginti negalima. Šią problemą galima išspręsti sinchronizuojant atraminį signalą F_{ATR} aukštadažniu SVG išėjimo signalu F_{SVG} . Sinchronizavimo esmė parodyta 1.4 paveiksle. Po šio veiksmo sinchronizuoto atraminio signalo F_{ATR} ir generuojamo signalo F_{SVG} frontai tampa suderinti (sinchroniniai). Tačiau sinchronizuotas signalas praranda atraminio signalo F_{ATR} fazės informaciją ir atsiranda papildoma fazės klaida $\varepsilon[k]$, kadangi atraminio signalo frontas yra perkeliamas į vėlesnį laiką T_{SVG} periodo (laiko vieneto) tikslumu.

Sinchronizuotas atraminis signalas yra naudojamas sinchroniškai kaupti atraminio signalo fazę $\theta_{\text{ATR}}[k]$ ($R_{\text{ATR}}[k]$) ir diskretizuoti generuojamo signalo fazę $\theta_{\text{SVG}}[k]$ ($R_{\text{SVG}}[k]$). (1.6) lygtys turi būti atitinkamai perrašytos:

$$\begin{aligned}\theta_{\text{SVG}}[k] &= \theta_{\text{SVG}}[i] \Big|_{i T_{\text{SVG}} = \lceil k T_{\text{ATR}} \rceil} = \lceil k N \rceil; \\ \theta_{\text{ATR}}[k] &= k N + \varepsilon[k],\end{aligned}\tag{1.8}$$

čia $\varepsilon[k]$ – dėl sinchronizavimo atsiranti trupmeninė fazės klaida, nedidesnė už laiko vienetą (SVG periodą). Kadangi SVG generuojamo signalo fazė yra diskretizuojama sinchronizuotu atraminiu signalu ir fazė matuojama laiko vienetais (T_{SVG}), šios fazės vertė yra lygi kN vertei, apvalintai į didesniąją pusę laiko vieneto tikslumu.

Susidarančios trupmeninės fazės klaidos $\varepsilon[k]$ ir jos kitimo bėgant laikui pavyzdys, kai atraminio ir generuojamo signalų dažniai yra pastovūs, o šių dažnių santykis yra lygus $4/3$ ir pradinės fazės lygios 0, yra pateiktas 1.5 paveiksle. Kaip matyti, ši klaida, dėl apvalinimo į viršų, visada yra ribose $[0;1)$.

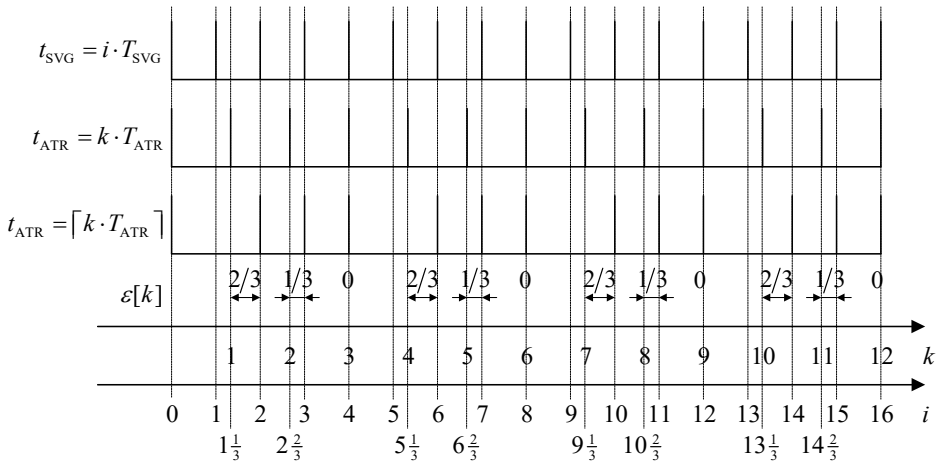
SVG generuojamo signalo fazė yra diskretizuojama sinchronizuotu atraminiu signalu, todėl (1.7) išraišką galima perrašyti:

$$\begin{aligned}R_{\text{SVG}}[k] &= \sum_{l=1}^l 1 \Big|_{l T_{\text{SVG}} = \lceil k T_{\text{ATR}} \rceil}; \\ R_{\text{ATR}}[k] &= \sum_{l=1}^k N + \varepsilon[k],\end{aligned}\tag{1.9}$$

čia k yra sinchronizuoto atraminio signalo fronto numeris.

Atraminio signalo ir SVG generuojamo signalo fazės klaida (skirtumas) $\varphi_E[k]$ gali būti užrašyta:

$$\varphi_E[k] = \theta_{\text{ATR}}[k] - \theta_{\text{SVG}}[k].\tag{1.10}$$



1.5 pav. Susidarančios sinchronizuoto atraminio signalo klaidos pavyzdys

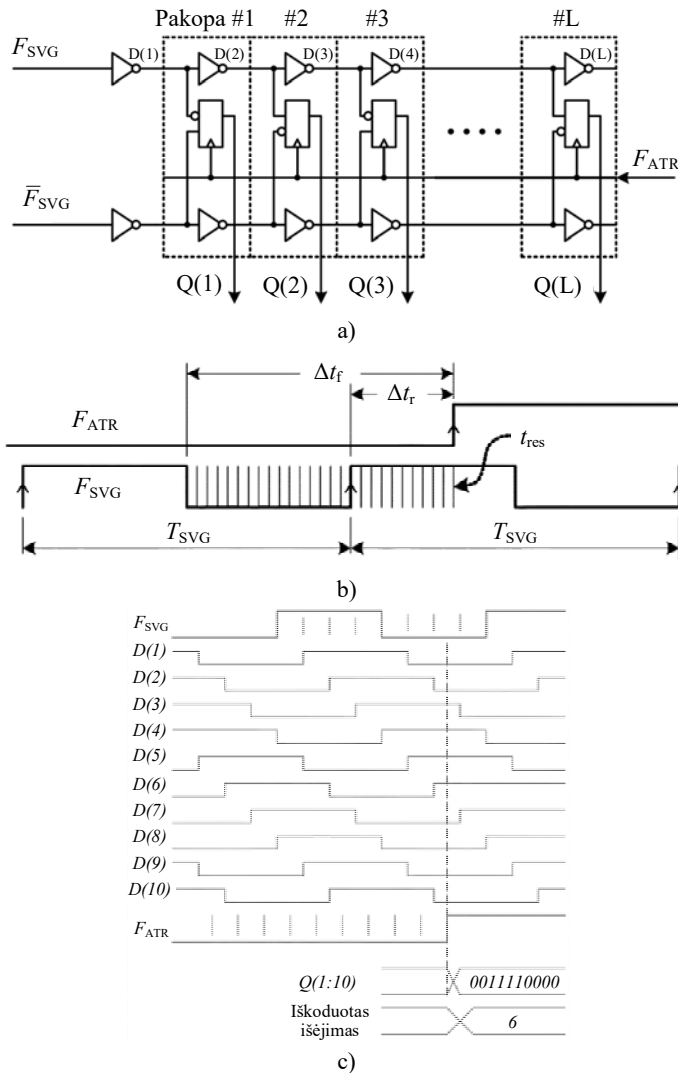
Fig. 1.5. Example of phase error of retimed reference signal

Atsižvelgus į fizinį fazės skirtumo apskaičiavimo įgyvendinimą ir atraminio signalo sinchronizavimą, fazės skirtumą galima išreikšti:

$$\varphi_E[k] = R_{\text{ATR}}[k] - R_{\text{SVG}}[k] + \varepsilon[k]. \quad (1.11)$$

Taigi, fazės skirtumo (klaidos) radimo sistemoje yra naudojami du akumulatoriai: atraminio signalo fazei ir SVG generuojamo signalo fazei kaupti. Šie akumulatoriai, kaip aptarta šiame poskyryje ir parodyta 1.3 paveiksle, yra taktuojami sinchronizuotu atraminiu signalu ir skaičiuoja sveikąsias fazės verčių dalis. Dėl atraminio signalo sinchronizavimo susidaranti trupmeninė fazės skirtumo dalis $\varepsilon[k]$ taip pat gali būti išmatuota ir kompensuota – šį darbą atlieka laikinis skaitmeninis keitiklis (LSK).

Pats paprasčiausias LSK yra paremtas inverterių vėlinimo linija (1.6 pav.) (Staszewski, Vemulapalli, *et al.* 2006; Effendrik *et al.* 2011; Staszewski, Waheed, Vemulapalli, *et al.* 2011). Jame SVG generuojamas signalas sklinda inverterių vėlinimo linija, o atraminio signalo frontu šis signalas fiksuojamas po kiekvieno vėlinimo elemento (inverterio) (1.6 pav., b, c). LSK išėjime yra gaunamas pseudotermometrinis kodas, kurį iškodavus gaunama informacija apie laiko tarpą, skiriančią atraminio ir SVG generuojamo signalo frontus: iš pseudotermometrinio kodo vietos, kur vienetas pakinta į nulį, gaunama informacija apie laiko trukmę Δt_r tarp kylančio atraminio signalo fronto ir kylančio SVG signalo fronto, o iš vietos, ties kurią nuliai pakinta į vienetą, gaunama informacija apie laiko trukmę Δt_f tarp krentančio SVG signalo fronto ir kylančio atraminio signalo fronto (1.6 pav., c).



1.6 pav. Laikinis skaitmeninis keitiklis – inverterių vėlinimo linija (a), ja sklindantys signalai ir dekoduoatas išėjimas (b, c) (Staszewski, Vemulapalli, *et al.* 2006; Effendrik *et al.* 2011)

Fig. 1.6. Time to digital converter – inverter delay line (a), its propagating signals and decoded output (b, c) (Staszewski, Vemulapalli, *et al.* 2006; Effendrik *et al.* 2011)

Tokio LSK išėjimas Δt_f yra teigiamas dvejetainis skaičius, kurio žemiausias bitas atitinka inverterio vėlinimo trukmę – mažiausią laiko tarpą, kurį galima pa-

matuoti tokiu LSK $t_{\text{res}} = \Delta t_{\text{inv}}$. Tačiau, kaip aptarta aukščiau, klaida $\varepsilon[k]$ yra trupmeninė, ribose $[0;1)$. Dėl to LSK išėjimo signalo reikšmė turi būti normuota pagal laiko vienetą – SVG generuojamo signalo periodą T_{SVG} .

Trupmeninės fazės klaidos dalis $\varepsilon[k]$ apskaičiuojama taip:

$$\varepsilon[k] = 1 - \frac{\Delta t_r[k]}{T_{\text{SVG}}[k]}, \quad (1.12)$$

čia Δt_r – LSK išmatuota laiko trukmė tarp kylančio atraminio signalo fronto ir kylančio SVG išėjimo signalo fronto, T_{SVG} – SVG išėjimo signalo periodas

Sinchronizuotas signalas F_{ATRS} taip pat yra naudojamas kitiems sintezatoriaus blokams sinchronizuoti. Tai užtikrina, kad didžioji skaitmeninių blokų dalis yra taktuojami ir vykdo darbą po tylos intervalo, kurio metu LSK skaičiuoja trupmeninę fazės klaidos dalį.

Skaitmeninis fazės klaidos signalas $\varphi_E[k]$ yra dauginamas iš proporcinio kilpos perdavimo koeficiento α ir normuojamas pagal SVG perdavimo koeficientą $K_{\text{NORM}} \approx K_{\text{SVG}}$. Koeficientas α yra derinamas sintezatoriaus parametras, valdantis jo praleidžiamųjų dažnių juostą. Šio koeficiento įtaka dažnio sintezatoriaus dažninėms charakteristikoms yra nagrinėjama kituose poskyriuose.

Normavimas pagal K_{NORM} atliekamas siekiant tiksliau valdyti sintezatoriaus praleidžiamųjų dažnių juostą. Šio normavimo esmė – nuspėti ir kompensuoti SVG perdavimo koeficientą K_{SVG} , kadangi jis priklauso nuo technologinio proceso, įtampos ir temperatūros variacijų, kas įtakoja sintezatoriaus dažnio valdymą. Jei normavimo koeficientas yra tiksliai nustatomas, valdymo žodžio pokytis vienu bitu atitinka dažnio sintezatoriaus išėjimo signalo dažnio pokytį, lygų atraminio signalo dažniui f_{ATR} .

Normavimo koeficientas K_{NORM} apskaičiuojamas stebint fazės pokytį, priklausomai nuo dažnio valdymo žodžio pokyčio, proporcinio perdavimo koeficiento ir atraminio dažnio:

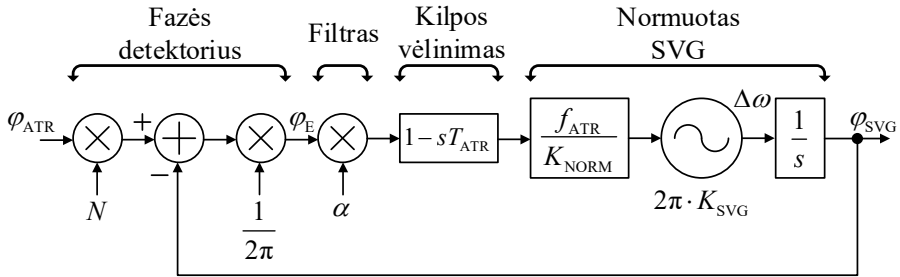
$$K_{\text{NORM}} = \frac{\Delta \varphi_E}{\Delta N} \alpha f_{\text{ATR}}, \quad (1.13)$$

čia $\Delta \varphi_E$ – fazės klaidos pokytis, ΔN – dažnio valdymo žodžio pokytis, α – proporcinio perdavimo koeficientas, f_{ATR} – atraminio signalo dažnis.

Fazės informacijos saugojimo skaitmeninėje formoje pagrindinis privalumas yra tas, kad po šios informacijos pakeitimo ir išsaugojimo skaitmenine forma, jos neveikia analoginiai triukšmo šaltiniai (čia neįvertinami tokie reiškiniai, kaip bito inversija dėl kosminės radiacijos) ir fazės apskaičiavimas gali būti atliekamas naudojant aritmetinį sumatorių, atliekantį funkciją, aprašytą (1.11) lygtimi. Todėl naudojamas minimalus, vienas taškas, kuriame fazės informacija keičiama į skaitmeninę formą, – LSK, kur matuojama laiko trukmė tarp dviejų signalų frontų.

Plačiau visiškai skaitmeninio dažnio sintetatoriaus triukšmo šaltiniai aprašomi 1.4 poskyryje.

Bendrasis I-ojo tipo visiškai skaitmeninio DS tolydaus dažnio srities (s srities) modelis parodytas 1.7 paveiksle (Staszewski, Balsara 2006). Tai yra diskretaus laiko z srities modelio aproksimacija tolydžiam laikui (Razavi 1996; Staszewski, Wallberg, *et al.* 2005; Jiang *et al.* 2015). Šis modelis yra teisingas tol, kol dažnio svyravimai yra žymiai mažesni nei taktavimo dažnis, kuris šiuo atveju yra lygus atraminio signalo dažniui f_{ATR} . Priimta, kad ši tiesinė aproksimacija teisinga, jei sintetatoriaus praleidžiamų dažnių juosta f_k yra bent 10 kartų mažesnė už taktavimo dažnį (Staszewski, Wallberg, *et al.* 2005; Gardner 2005). Šio modelio išėjimas yra signalo fazė φ_{SVG} , o ne dažnio pokytis $\Delta f = \Delta\omega_{SVG}/2\pi$. Šie dydžiai susiję per integravimo veiksmą $\varphi_{SVG} = \Delta\omega_{SVG}/s$.



1.7 pav. Bendrasis I-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus tolydaus dažnio srities (s srities) modelis

Fig. 1.7. General s -domain model of a type-I all digital frequency synthesiser

Šioje struktūroje, kaip minėta anksčiau, kilpos filtras nėra naudojamas. Jo vietoje yra naudojama proporcinio perdavimo pakopa, kurios perdavimo koeficientas yra α . Todėl sintetatorius, turintis tik vieną integruojantį polių dėl SVG atliekamo dažnio į fazę keitimo, išlieka I-ojo tipo. φ_{SVG} ir φ_{ATR} yra atitinkamai SVG generuojamo ir atraminio signalo fazės, matuojamos radianais. ω_{SVG} yra kampinis SVG generuojamo signalo dažnis, matuojamas radianais per sekundę ir lygus $2\pi f_{SVG}$. Kadangi šiame modelyje naudojamas kampinis dažnis, SVG perdavimo koeficientas K_{SVG} turi būti dauginamas iš 2π . Tą taip pat galima traktuoti kaip normavimo komponento f_{ATR} (matuojamo Hz) daugybą iš 2π , taip pakeičiant jį kampiniu dažniu ω_{ATR} . Daugiklis iš N yra sintetatoriaus išėjimo (SVG) signalo dažnio ir atraminio signalo dažnio dalybos koeficientas, atitinkantis dažnio valdymo žodį sintetatoriaus fazės srities modelyje. SVG perdavimo koeficientas K_{SVG} yra dalinamas iš jo apskaičiuotos vertės K_{NORM} , todėl jo matavimo vienetai susiprastina ir santykis K_{SVG}/K_{NORM} tampa bedimensiu dydžiu. Dydis $e^{-sT_{ATR}} \approx 1 - sT_{ATR}$ yra valdymo kilpos vėlinimo operatorius, kuris sumažina fazės atsargą per 2π (vėlinimo periodų skaičius $\cdot f_k/F_{ATR}$). Šiuo atveju, sintetatorius turi

tik vieno periodo vėlinimą ir $f_k \ll f_{ATR}$, todėl šis operatorius gali būti ignoruojamas.

Taigi, šio modelio atviros kilpos (angl. *open-loop*) perdavimo funkcija yra:

$$H_{ak}(s) = \frac{1}{2\pi} \alpha \frac{2\pi f_{ATR}}{K_{NORM}} \frac{K_{SVG}}{s} = \alpha \frac{f_{ATR}}{s} \frac{K_{SVG}}{K_{NORM}}. \quad (1.14)$$

Tariant, kad SVG perdavimo koeficientas apskaičiuojamas teisingai, H_{ak} išraišką galima suprastinti iki:

$$H_{ak}(s) = \alpha \frac{f_{ATR}}{s}. \quad (1.15)$$

Šioje perdavimo funkcijoje yra vienas polius ties nuliniu dažniu, taip pat parodantis, kad ši struktūra yra I-ojo tipo.

Uždaros kilpos perdavimo funkcija išreiškiama taip:

$$H_{uk}(s) = \frac{NH_{ak}}{1 + H_{ak}} = \frac{N\alpha(f_{ATR}/s)}{1 + \alpha(f_{ATR}/s)} = \frac{N}{1 + s/(\alpha f_{ATR})}. \quad (1.16)$$

Atlikus uždaros kilpos išraiškoje pakeitimą $s = j\omega = j2\pi f$, gauname:

$$H_{uk}(f) = \frac{N}{1 + j2\pi f/(\alpha f_{ATR})}. \quad (1.17)$$

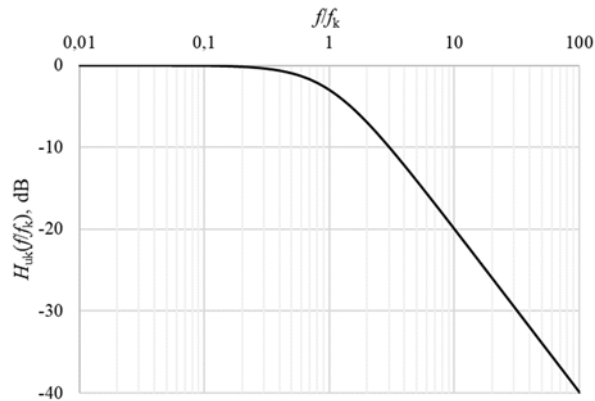
Iš (1.17) formulės, priimant, kad $f_k \ll f_{ATR}$, tam, kad s srities aproksimacija būtų teisinga, galima gauti sintetatoriaus praleidžiamų dažnių juostos ribinio dažnio išraišką:

$$f_k = \frac{\alpha}{2\pi} f_{ATR}. \quad (1.18)$$

Iš šios formulės išreiškus atraminio dažnio išraišką ir įrašius į (1.17), galima gauti perdavimo funkcijos išraišką, priklausančią nuo santykio f/f_k , t. y. dažnio, normuoto pagal praleidžiamų dažnių juostos ribinį dažnį:

$$H_{uk}(f) = \frac{N}{1 + j(f/f_k)}. \quad (1.19)$$

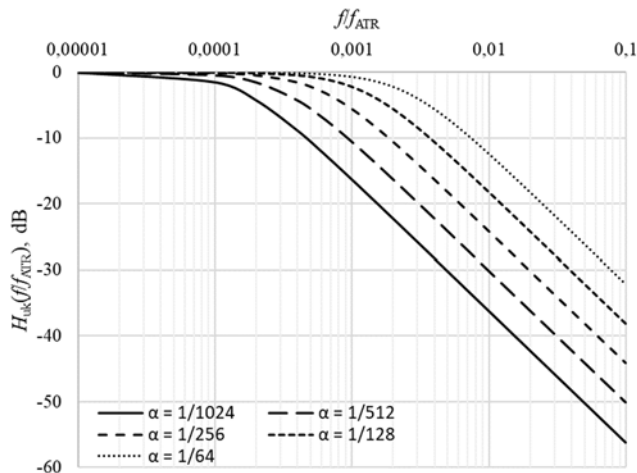
Uždaros kilpos dažninė amplitudės charakteristika esant dažniui, normuotam pagal praleidžiamųjų dažnių juostos ribinį dažnį, pateikta 1.8 paveiksle. Taigi, matoma, kad dažnio sintetatorius yra selektyvus žemesiems dažniams.



1.8 pav. I-ojo tipo dažnio sintetatoriaus dažninė amplitudės charakteristika, kai dažnis normuotas pagal ribinį dažnį

Fig. 1.8. Magnitude response of type-I all digital frequency synthesiser, when frequency is normalized to loop bandwidth frequency

Išraišką (1.18) išraišką į atviros kilpos perdavimo funkciją (1.15), galima matyti, kad atviros kilpos perdavimo koeficientas H_{ak} lygus vienetui ties praleidžiamų dažnių juostos ribiniu dažniu f_k . Be to, ieškant ribinio dažnio išraišką, primama, kad $N = 1$, kadangi dažnio dalybos koeficientas nėra atviros kilpos dalis ir neįtakoja ribinį dažnį.



1.9 pav. I-ojo tipo dažnio sintetatoriaus dažninė amplitudės charakteristika, kai dažnis normuotas pagal atraminio signalo dažnį

Fig. 1.9. Magnitude response of type-I all digital frequency synthesiser, when frequency is normalized to reference frequency

Uždaros kilpos amplitudės dažninė charakteristika, esant skirtingoms proporcinio perdavimo koeficiento α reikšmėms ir dažniui, normuotam pagal atraminį dažnį, yra pateikta 1.9 paveiksle. Koeficiento α reikšmės yra lygios neigiamiems 2 laipsniais nuo 2^{-6} iki 2^{-10} .

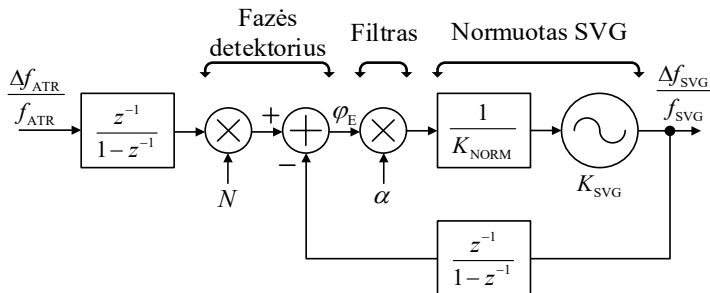
I-ojo tipo dažnio sintetatoriaus modelis diskretaus dažnio srityje (z srityje) parodytas 1.10 paveiksle (Staszewski, Wallberg, *et al.* 2005).

z operatorius yra apibrėžiamas kaip $z = e^{j\theta}$, čia $\theta = \omega t_0$. ω yra kampinis dažnis, o t_0 – diskretizavimo periodas. Šiuo atveju diskretizavimo periodas yra lygus atraminio signalo periodui $t_0 = 1/f_{\text{ATR}}$, iš ko seka:

$$z = e^{j\omega/f_{\text{ATR}}}. \quad (1.20)$$

Kai kampinis dažnis žymiai mažesnis už diskretizavimo (atraminį) dažnį, galima naudoti tokią aproksimaciją:

$$z = e^{j\theta} \approx 1 + j\theta = 1 + \frac{j\theta}{f_{\text{ATR}}} = 1 + \frac{s}{f_{\text{ATR}}}. \quad (1.21)$$



1.10 pav. I-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus diskretaus dažnio sritys (z sritys) modelis

Fig. 1.10. z domain model of a type-I all digital frequency synthesiser

Iš (1.21) išraiškos gaunama s operatoriaus išraiška:

$$s = f_{\text{ATR}} (z - 1). \quad (1.22)$$

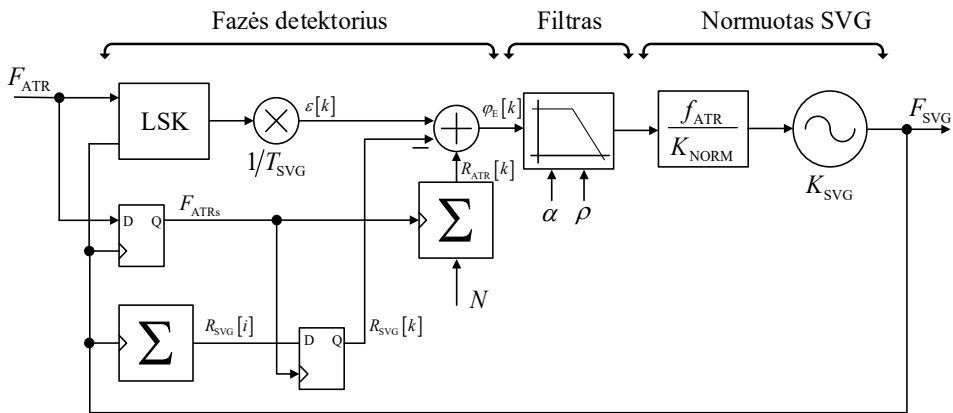
Išraišius (1.22) į (1.15) ir (1.16) lygtis, gaunamos z sritys modelio atviros kilpos ir uždaros kilpos perdavimo funkcijos:

$$H_{\text{ak}}(z) = \frac{\alpha}{z - 1}; \quad (1.23)$$

$$H_{\text{uk}}(z) = \frac{N}{1 + (z - 1)/\alpha}. \quad (1.24)$$

1.3.2. II-ojo tipo dažnio sintezatoriaus modeliai

Kaip buvo minėta, fazės derinimo kilpos, kuri naudojama kaip dažnio sintezatorius, tipas apibrėžiamas kilpos polių, esančių ties nuliniu dažniu, skaičiumi. Mažiausias dažnio sintezatoriaus tipas yra I-asis, kadangi kilpoje esantis valdomas generatorius visada sukuria polių. Tam, kad kilpa taptų II-ojo tipo, reikia sukurti dar vieną polių (Best 2007). 1.11 paveiksle pateiktas II-tipo dažnio sintezatorius, kuriame yra naudojamas kilpos filtras, kuriantis antrąjį polių ties nulinio dažniu (Staszewski, Balsara 2006; Samarah, Chan Carusone 2012; Jiang *et al.* 2015). Šis filtras yra sudarytas iš proporcinio perdavimo integrinio perdavimo dalių. Toks sintezatoriaus filtras dažnai vadinamas proporciniu-integriniu (PI) valdikliu (angl. *proportional-integral controller*).



1.11 pav. II-ojo tipo visiškai skaitmeninio dažnio sintezatoriaus fazės srities modelis

Fig. 1.11. Phase model of type-II all digital frequency synthesiser

PI valdymas yra įgyvendinamas skaitmeninėje formoje kaupiant fazės klaidos imtis $\phi_E[k]$ ir keičiant jas pagal integrinę kilpos perdavimo koeficientą ρ . Šio koeficiento vertė įprastai turi būti mažesnė nei proporcinės dalies koeficientas α . PI valdiklio išėjime proporcinės ir integrinės dalių indėliai yra sumuojami.

Pagrindinis II-ojo tipo DS privalumas yra geresnės valdomo generatoriaus išėjimo signalo triukšmo filtravimo galimybės. Tai leidžia pagerinti bendrą sintezatoriaus fazės triukšmo lygį. I-ojo tipo dažnio sintezatorius gali pasiekti tik 20 dB/dekadai SVG fazės triukšmo filtravimą, kai II-ojo tipo sintezatoriaus gali pasiekti 40 dB/dekadai filtravimą. Tai reiškia, kad perkeltas į aukštesniųjų dažnių juostą (angl. *up-converted*) SVG mirgėjimo triukšmas, pasižymintis 30 dB/dekadai nuolydžiu (angl. *slope*) gali būti pašalintas.

Kitas II-ojo tipo sintezatoriaus privalumas yra tas, kad jis neturi pastovios būsenos dažnio klaidos, kai pasireiškia atraminio signalo arba sintezatoriaus išėjimo (SVG) signalo dažnio tiesinis kitimas. Tai yra naudinga, kai reikalinga maža dažnio klaida, esant nenusistovėjusiai maitinimo įtampai, dėl kurios vyksta valdomo generatoriaus išėjimo signalo dažnio svyravimai, ir pasireiškia išoriniai žemo dažnio trikdžiai.

Dar viena II-ojo tipo DS savybė yra ta, kad fazės poslinkis tarp atraminio signalo ir sintezatoriaus išėjimo (skaitmeniniu būdu valdomo generatoriaus išėjimo) signalo fazių artėja į nulį net esant pastoviam šių signalų dažnio poslinkiui. Tai ypač naudinga taikant sintezatorių dažniui atkurti, kur naudojami sveikieji dažnio dalybos koeficientai.

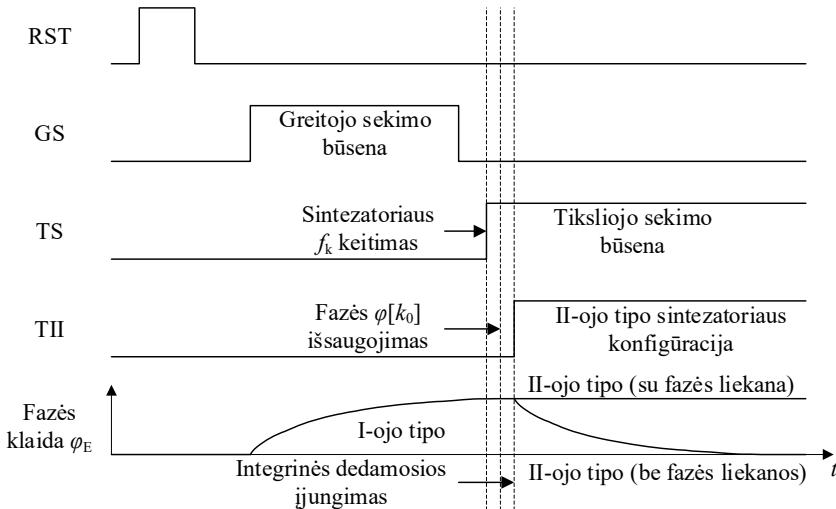
Tačiau, dėl ilgesnių pereinamųjų procesų PI konfigūracijos dažnio sintezatoriuose, jų taikymas naudingas tik tikslaus dažnio (ir fazės) sekimo būsenoje. Norint nepabloginti sintezatoriaus dažnio perjungimo trukmės, integrinė dedamoji ρ turi būti išjungta pradinio dažnio nustatymo būsenose. Tokiu būdu sintezatoriaus konfigūracija, pasižyminti greitesnėmis pereinamosiomis charakteristikomis, yra naudojama pradinėje dažnio nustatymo būsenoje ir konfigūracija, pasižyminti lėtesnėmis pereinamosiomis charakteristikomis, bet geresnėmis filtravimo savybėmis, yra naudojama tikslaus dažnio sekimo būsenoje.

Taigi, pradinis dažnio nustatymas vykdomas naudojant greitesnę I-ojo tipo dažnio sintezatoriaus struktūrą, kai nustatomas aukštas proporcinės dalies koeficientas. Po to, pereinant prie dažnio sekimo būsenos, proporcinės dalies koeficientas pradedamas mažinti ir įjungiamo integruojanti sintezatoriaus dalis, kurios pradinė vidinių akumuliatorių vertė nustatoma į nulį. Tačiau prieš tai buvusios būsenos liekamasis fazės poslinkis (I-ojo tipo DS fazės klaida yra proporcinga dažnio poslinkiui) tampa nepageidaujama fazės klaida, kuriai panaikinti gali prireikti ilgos laiko trukmės. Šiai problemai išspręsti, šį poslinkį galima atimti iš fazės klaidos, prieš pradedant kaupimo (integravimo) veiksmą.

1.12 paveiksle pavaizduotas visiškai skaitmeninio dažnio sintezatoriaus persijungimas iš I-ojo tipo į II-ąjį tipą (Wu *et al.* 2015; Staszewski, Balsara 2006). Prieš pradedant darbą, yra atliekamas sinchroninis visų dažnio sintezatoriaus atminties elementų (registrų) pradinis nustatymas, kai RST signalas tampa aktyvus. Po pradinio grubaus dažnio nustatymo pradedamas greitas dažnio sekimas, kai yra nustatoma plati sintezatoriaus praleidžiamųjų dažnių juosta, kurios ribinis dažnis yra f_k (GS signalas yra aktyvus) ir yra naudojamas tik proporcinis perdavimo koeficientas α . Tai leidžia greitai pašalinti dažnio (ir fazės) klaidą, likusią iš prieš tai buvusios dažnio nustatymo būsenos. Po to pereinama prie įprastojo arba tiksliojo dažnio sekimo būsenos. Sekantys įvykiai vykdomi vienas po kito, su mažais laiko tarpais:

- aktyvuojamas signalas TS – sintetatoriaus praleidžiamųjų dažnių juosta f_k yra susiaurinama mažinant proporcinės dalies koeficientą α . Tai labiau nufiltruoja fazės klaidą $\varphi[k]$.
- fazės klaida yra nuskaitoma ir išsaugoma kaip fazės liekana $\varphi[k_0]$.
- aktyvuojamas signalas TII – I-ojo tipo dažnio sintetatoriaus perjungiamas į II-ojo tipo sintetatoriaus struktūrą, kai yra aktyvuojamas integrinis koeficientas ρ .

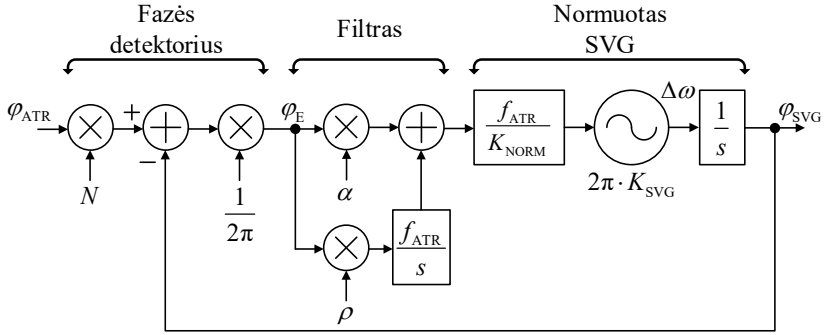
Skirtumas $\varphi[k] - \varphi[k_0]$ yra kaupiamas, dėl ko susidaro II-ojo tipo sintetatoriaus struktūra su fazės klaidos liekana. Įprastai apibrėžtame II-ojo tipo sintetatoriuje nėra išsaugoma pradinė II-ojo tipo būsenos fazės klaida $\varphi[k_0]$ ir ji yra lygi nuliui. Tai verčia susidariusią dažnio klaidą lėtai nykti iki 0, kas sudaro nebūtiną pereinamąjį procesą, kaip parodyta 1.12 paveiksle (II-ojo tipo sintetatoriaus be fazės klaidos liekanos).



1.12 pav. Visiškai skaitmeninio dažnio sintetatoriaus perjungimas iš I-ojo tipo į II-ąjį tipą

Fig. 1.12. Transition of all digital frequency synthesiser from type-I to type-II

Tiesinis tolydaus dažnio srities (s srities) II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus modelis yra pateiktas 1.13 paveiksle. Šio dažnio sintetatoriaus dažninėms charakteristikom užrašyti, reikia rasti diskretaus laiko akumuliatoriaus $z^{-1}/(1 - z^{-1})$ s srities ekvivalentą. Iš (1.22) lygties žinome, kad $(z-1) = s/f_{ATR}$. Šios lygties inversija ir yra $z^{-1}/(1 - z^{-1})$. Todėl 1.13 paveiksle, filtro integrinėje dalyje, akumuliatorių žymi perdavimo pakopa f_{ATR}/s .



1.13 pav. II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus tolydaus dažnio srities (s srities) modelis

Fig. 1.13. s -domain model of a type-II all digital frequency synthesiser

Jei SVG stiprinimo koeficientas apskaičiuotas teisingai, atviros kilpos perdavimo funkcija gali būti išreikšta taip:

$$H_{ak}(s) = \left(\alpha + \frac{\rho f_{ATR}}{s} \right) \frac{f_{ATR}}{s} = \frac{\rho f_{ATR}^2}{s} \cdot \frac{1 + s/(\rho f_{ATR}/\alpha)}{s}. \quad (1.25)$$

(1.25) lygtyje yra du poliai ties nuliniu dažniu ir vienas kompleksinis nulis ties $\omega_z = j(\rho f_{ATR}/\alpha)$. Atviros kilpos vienetinio stiprinimo dažnis yra:

$$\omega_1 = \alpha f_{ATR} \left(\frac{1}{2} + \frac{1}{2} \sqrt{1 + \frac{4\rho}{\alpha^2}} \right). \quad (1.26)$$

Uždaros kilpos perdavimo funkcija yra:

$$H_{uk}(s) = N \frac{(\alpha + \rho f_{ATR}/s)(f_{ATR}/s)}{1 + (\alpha + \rho f_{ATR}/s)(f_{ATR}/s)} = N \frac{\alpha f_{ATR}s + \rho f_{ATR}^2}{s^2 + \alpha f_{ATR}s + \rho f_{ATR}^2}. \quad (1.27)$$

Šią išraišką galima palyginti su klasikinės dviejų polių sistemos perdavimo funkcija, kurios dažninė amplitudės charakteristika (pateikta 1.14 paveiksle):

$$H_{uk}(s) = N \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}, \quad (1.28)$$

čia ζ yra slopinimo santykis, ω_n yra natūralusis dažnis. Šios funkcijos nulis yra ties $\omega_z = -\omega_n/2\zeta$.

Kaip matyti iš 1.14 paveikslo, nors ši sistema turi geresnes filtravimo galimybes, yra paviršių atsiradimo rizika ties sistemos natūraliuoju dažniu. Tai ypač svarbu nagrinėjant sintetatoriaus fazės triukšmus, kadangi neteisingai parinkus

koeficientus α ir ρ , triukšmas ties natūraliuoju dažniu bus stiprinamas, o ne slopinamas.

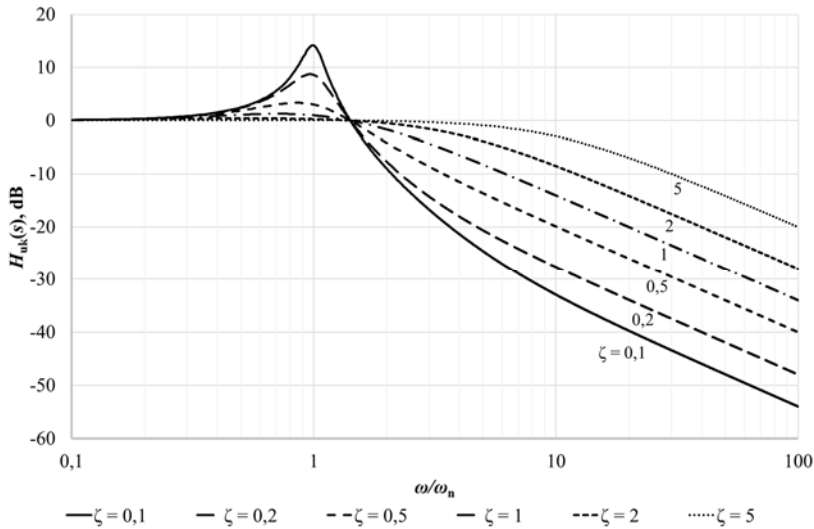
Palyginus (1.27) ir (1.28) gali būti išvestos natūralaus dažnio ir slopinimo santykio išraiškos:

$$\omega_n = \sqrt{\rho} f_{\text{ATR}}; \quad (1.29)$$

$$\zeta = \frac{\alpha f_{\text{ATR}}}{2\omega_n} = \frac{1}{2} \cdot \frac{\alpha}{\sqrt{\rho}}. \quad (1.30)$$

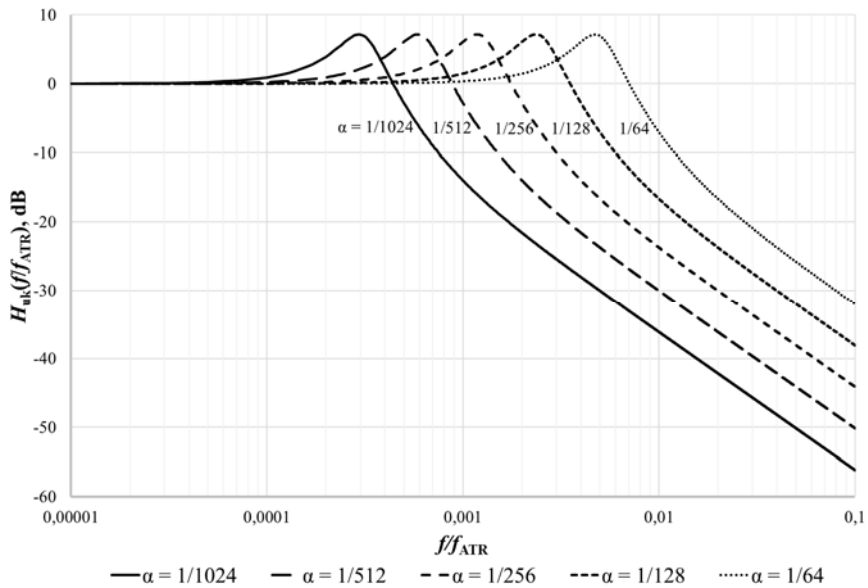
Atlikus įprastą pakeitimą $s = j2\pi f$ ir padalinus (1.27) išraiškos vardiklį ir skaitiklį iš f_{ATR}^2 , galima gauti perdavimo funkcijos išraišką, priklausančią nuo dažnio, normuoto pagal atraminio signalo dažnį:

$$H_{\text{uk}}(f/f_{\text{ATR}}) = N \frac{\rho + j2\pi\alpha(f/f_{\text{ATR}})}{\rho - 4\pi^2(f/f_{\text{ATR}})^2 + j2\pi\alpha(f/f_{\text{ATR}})}. \quad (1.31)$$



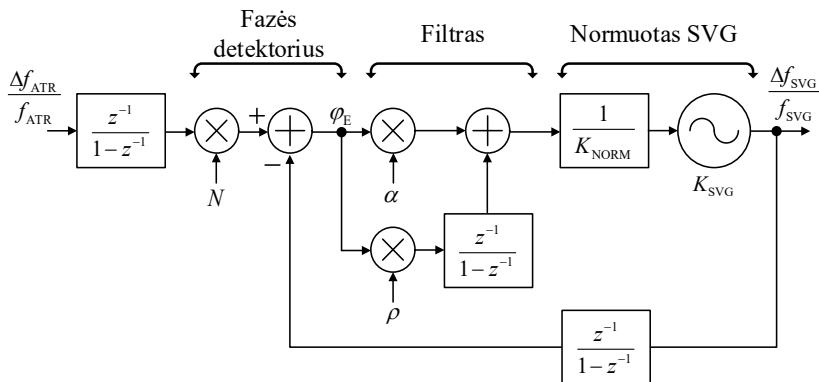
1.14 pav. Klasikinės dviejų polių sistemos dažninė amplitudės charakteristika
Fig. 1.14. Magnitude response of classical two-pole system

1.15 paveiksle yra parodyta II-ojo tipo visiškai skaitmeninio dažnio sintezatoriaus dažninė amplitudės charakteristika, esant skirtingoms koeficiento α vėrtėms ir pastoviam slopinimo santykiui $\zeta = 1/4$. Tokiu atveju, pagal (1.30) išraišką, koeficientas ρ įgyja reikšmę $\rho = 4\alpha^2$.



1.15 pav. II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus dažninė amplitudės charakteristika, kai $\zeta = 1/4$

Fig. 1.15. Magnitude response of type-II all-digital frequency synthesiser, when $\zeta = 1/4$



1.16 pav. II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus diskretaus dažnio srities (z srities) modelis

Fig. 1.16. z domain model of a type-II all digital frequency synthesiser

II-ojo tipo dažnio sintetatorius per koeficientą ρ turi daugiau valdymo galimybių, kas suteikia lankstumo derinant sintetatoriaus charakteristikas, pvz., siekiant gerinti fazės triukšmo lygį. Iš (1.29) ir (1.30) matosi, kad natūralusis dažnis ir slopinimo santykis su integruiniu koeficientu ρ susiję per kvadratinę šaknį, todėl

šio koeficiento vertei saugoti reikia dvigubai didesnio bitų skaičiaus, norint gauti tokį patį dinaminį ruožą, kurį suteikia proporcinis koeficientas α .

II-ojo tipo visiškai skaitmeninio DS diskretaus dažnio srities (z srities) modelis parodytas 1.16 paveiksle (Staszewski, Balsara 2005; Mendel *et al.* 2007; Jiang *et al.* 2015; Syllaios *et al.* 2008).

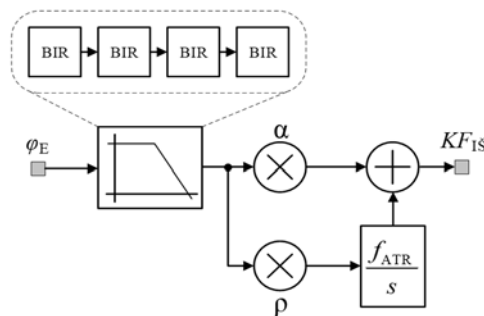
Atviros kilpos ir uždaros kilpos perdavimo funkcijos z srityje yra gaunamos atitinkamai iš (1.25) ir (1.27) lygčių:

$$H_{ak}(z) = \frac{\alpha(z-1) + \rho}{(z-1)^2}, \quad (1.32)$$

$$H_{uk}(z) = N \frac{\alpha(z-1) + \rho}{(z-1)^2 + \alpha(z-1) + \rho}. \quad (1.33)$$

1.3.3. II-ojo tipo aukštesnės eilės dažnio sintezatoriaus modeliai

Visiškai skaitmeninio dažnio sintezatoriaus eilė gali būti nustatoma sintezatoriaus filtru. Skaitmeninis sintezatoriaus filtras gali būti sudarytas iš ribotos impulsinės reakcijos (RIR, angl. *Finite impulse response* – FIR), begalinės impulsinės reakcijos (BIR, angl. *Infinite impulse response* – IIR) filtrų ir akumulatoriaus kombinacijos. RIR ir BIR filtrai įprastai jungiami nuosekliai su proporciniu sintezatoriaus koeficiento α bloku, o akumulatoriaus blokas, sukuriantis II-ojo tipo sintezatoriaus struktūrą, jungiamas lygiagrečiai (Staszewski, Balsara 2006).



1.17 pav. Tipinė visiškai skaitmeninio dažnio sintezatoriaus filtro struktūra

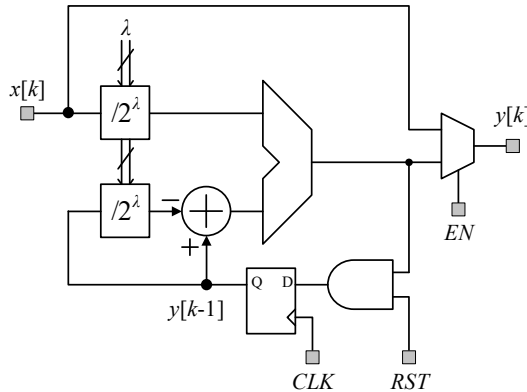
Fig. 1.17. Structure of typical filter for all digital frequency synthesiser

Dažnio sintezatoriuose dažniausiai yra naudojami BIR filtrai, kadangi jie pasižymi geresnėmis filtravimo savybėmis bei mažesniu plotu, lyginant su RIR filtrais. Tačiau labiau kompleksiški BIR filtrai gali tapti nestabilūs. Ši problema gali

būti išspręsta jungiant nuosekliai (kaskada) pirmos eilės BIR filtrus, kurie yra be-sąlygiškai stabilūs. BIR filtro fazės vėlinimo svyravimai įprastai nėra reikšmingi, jei jie yra bent 10 kartų mažesni už taktavimo dažnį.

Tipinė skaitmeninio žemųjų dažnių filtro, naudojamo visiškai skaitmeni-niuose dažnio sintetoriuose, struktūra yra pateikta 1.17 paveiksle (Staszewski 2011; Staszewski, Balsara 2006). Ją sudaro keturi pirmos eilės BIR filtrai ir aku-muliatorius f_R/s ($z^{-1}/(1-z^{-1})$ z srityje), kuriantis polių ties nuolatine dedamąją (nu-liniu dažniu). Naudojamos filtro struktūros eilė yra apsprendžiama kompromisu tarp filtravimo galimybių ir filtro ploto. Bet kuri filtro BIR pakopa gali būti iš-jungta ir praleidžiama, kas sudaro galimybę keisti filtro eilę nuo pirmosios iki penktosios.

Pirmos eilės BIR filtro struktūra yra pateikta 1.18 paveiksle (Jiang 2011; Staszewski, Balsara 2006). Filtro dažninė charakteristika ir polio padėtis yra kei-čiama naudojant perdavimo koeficientą λ , kuris yra įgyvendintas postūmio į de-šinę registru.



1.18 pav. Pirmosios eilės begalinės impulsinės reakcijos filtro struktūra

Fig. 1.18. Structure of first order infinite impulse response filter

Tokio filtro perdavimo funkcija laiko srityje yra:

$$y[k] = (1 - \lambda)y[k - 1] + \lambda x[k], \quad (1.34)$$

čia $x[k]$ – filtro įėjimas, $y[k]$ – filtro išėjimas, λ – filtro perdavimo koeficientas, k – laiko atskaitos.

Pirmos eilės BIR filtro perdavimo funkcija z srityje yra:

$$H_{\text{BIR1}}(z) = \frac{\lambda z}{z - (1 - \lambda)}. \quad (1.35)$$

Perdavimo funkcijos (1.35) atitikmuo s srityje yra:

$$H_{\text{BIR1}}(s) = \frac{1 + s/f_{\text{ATR}}}{1 + s/(\lambda f_{\text{ATR}})}. \quad (1.36)$$

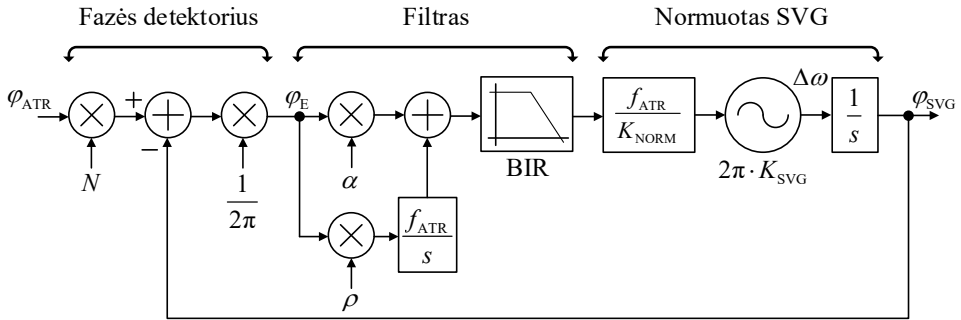
(1.36) išraiškoje atlikus įprastą pakeitimą $s = j2\pi f$ gaunama:

$$H_{\text{BIR1}}(f) = \frac{1 + j2\pi f/f_{\text{ATR}}}{1 + j2\pi f/\lambda f_{\text{ATR}}}. \quad (1.37)$$

Iš (1.37) lygties randamas šio filtro ribinis dažnis:

$$f_{k, \text{BIR1}} = \frac{\lambda}{2\pi} f_{\text{ATR}}. \quad (1.38)$$

Klasikinės struktūros dažnio sintetatoriaus eilė, naudojant analoginius filtrus, dažniausiai yra iki trečios (Best 2007), įprastai dėl stabilumo užtikrinimo, ypač kreipiant dėmesį į gamybos proceso ir temperatūros variacijas. Tačiau šie apribojimai negalioja skaitmeninei realizacijai, todėl galima kurti aukštesnės eilės struktūras, leidžiančias efektyviau mažinti triukšmus ir tiksliau valdyti dažnines charakteristikas (Staszewski, Wallberg, *et al.* 2005). Skaitmeninė struktūra taip pat turi tokius privalumus, kaip sąlyginai paprastesnis testavimas, didesnis lankstumas ir paprastesnė migracija į kitus technologinius procesus.



1.19 pav. II-ojo tipo aukštesnės eilės visiškai skaitmeninio dažnio sintetatoriaus tolydaus dažnio srities (s srities) modelis

Fig. 1.19. s -domain model of a higher order type-II all digital frequency synthesiser

II-ojo tipo aukštesnės eilės dažnio sintetatoriaus modelis s srityje yra parodytas 1.19 paveiksle (Wu 2013; Staszewski, Wallberg, *et al.* 2005; Wu *et al.* 2015). Šio modelio atviros kilpos perdavimo funkcija gali būti gauta (1.25) lygtį padauginus iš BIR filtro perdavimo funkcijos (1.36):

$$H_{ak}(s) = \frac{\rho f_{ATR}^2}{s} \cdot \frac{1 + s/(\rho f_{ATR}/\alpha)}{s} \cdot \frac{1 + s/f_{ATR}}{1 + s/(\lambda f_{ATR})}. \quad (1.39)$$

Ši perdavimo funkcija turi du polių ties nuliniu dažniu $\omega_{p1} = \omega_{p1} = 0$, vieną polių ties dažniu $\omega_{p3} = j\lambda f_{ATR}$ ir du nulius ties dažniu $\omega_{z1} = j\rho f_{ATR}/\alpha$ ir $\omega_{z2} = jf_{ATR}$.

Didinant BIR filtrų kiekį, didinamas filtravimo statusas. Pavyzdžiui, keturių polių BIR filtras slopina atraminio signalo ir LSK kvantavimo triukšmą 80 dB/dekadai. Jei naudojami keturi BIR filtrai, (1.39) lygtis gali būti pakeista, kad įvertinti kaskada sujungtus BIR filtrus, kurių kiekvieno perdavimo koeficientas yra λ_i , kaip parodyta (1.40) išraiškoje.

$$H_{ak}(s) = \frac{\rho f_{ATR}^2}{s} \cdot \frac{1 + s/(\rho f_{ATR}/\alpha)}{s} \cdot \prod_{i=0}^3 \frac{1 + s/f_{ATR}}{1 + s/\lambda_i f_{ATR}}. \quad (1.40)$$

II-ojo tipo aukštesnės eilės dažnio sintezatoriaus uždaro kilpos atraminio signalo perdavimo funkcija yra:

$$H_{uk}(s) = N \frac{H_{ak}(s)}{1 + H_{ak}(s)}, \quad (1.41)$$

čia $H_{ak}(s)$ yra atviros kilpos perdavimo funkcija (1.40).

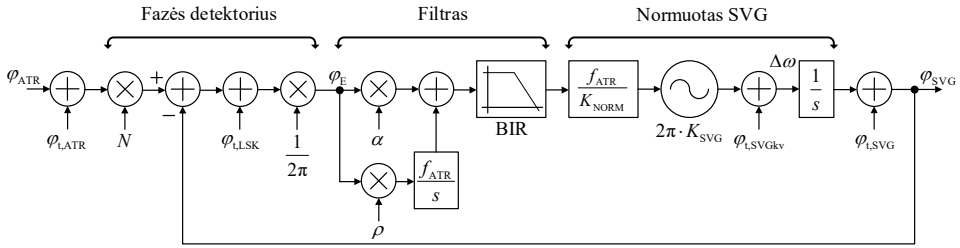
1.4. Visiškai skaitmeninių dažnio sintezatorių triukšmų šaltiniai

Visiškai skaitmeninio DS tiesinis modelis su pažymėtais triukšmo šaltiniais pateiktas 1.20 paveiksle (Staszewski, Wallberg, *et al.* 2005; Jiang *et al.* 2015; Mendel *et al.* 2007). $\phi_{t,ATR}$ yra atraminio signalo įėjimo fazės triukšmas, atsirandantis DS išorėje. Dažnio sintezatoriaus viduje triukšmas gali būti įneštas tik taškuose, kur gali vykti sąlytis su tolydaus laiko sritimi. Tokių taškų yra du: skaitmeniniu būdu valdomas generatorius ir laikinis skaitmeninis keitiklis. Dėl skaitmeninio pobūdžio, likusi sintezatoriaus sistema yra atspari laiko arba amplitudės trikdžiams.

Triukšmas, kuriamas LSK yra pažymėtas $\phi_{t,LSK}$. Nors LSK yra skaitmeninis blokas, jo atraminio ir generuojamo signalų įėjimai yra tolydaus laiko. Dėl ribotos skiriamosios gebos atsiranda kvantavimo triukšmas skaičiuojant fazės klaidą ε . Šis triukšmas įtakoja viso sintezatoriaus fazės triukšmo lygį. LSK kvantavimo triukšmo spektrinis tankis yra aprašomas taip (Staszewski, Waheed, Dulger, *et al.* 2011; Effendrik *et al.* 2011):

$$\mathcal{L}_{\text{LSK}} = \frac{(2\pi)^2}{12} \cdot \frac{(t_{\text{res}} f_{\text{SVG}})^2}{f_{\text{ATR}}}, \quad (1.42)$$

čia t_{res} – LSK skiriamoji geba, lygi mažiausiai LSK išmatuojamai laiko trukmei, f_{SVG} – SVG generuojamo signalo dažnis, f_{ATR} – atraminio signalo dažnis.



1.20 pav. II-ojo tipo aukštesnės eilės visiškai skaitmeninio dažnio sintetoriaus tolydaus dažnio srities (s srities) modelis su triukšmų šaltiniais

Fig. 1.20. s -domain model of a higher order type-II all digital frequency synthesiser with noise sources

SVG įnešamas triukšmas turi dvi dedamąsias: savasis SVG fazės triukšmas $\phi_{\text{L,SVG}}$ ir kvantavimo triukšmas $\phi_{\text{L,SVGkv}}$, atsirandantis dėl ribotos dažnio valdymo skiriamosios gebos.

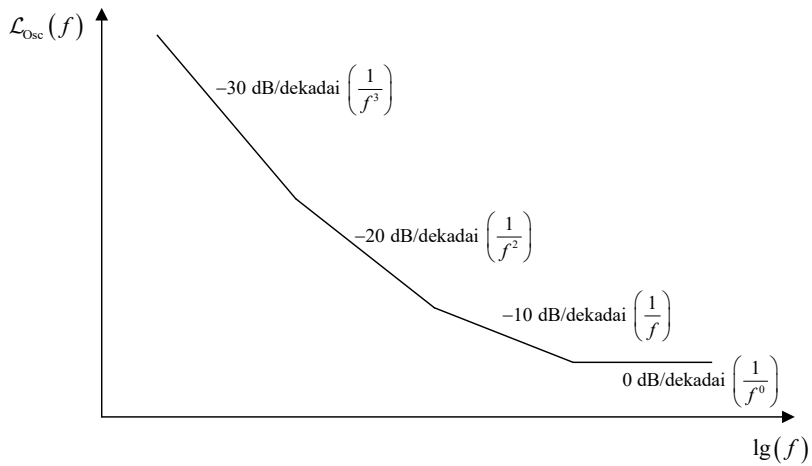
Savojo SVG fazės triukšmo spektrinis tankis gali būti aprašomas bendrąja osciliatoriaus fazės triukšmo spektrinio tankio išraiška (Gardner 2005):

$$\mathcal{L}_{\text{Osc}}(f) = \frac{k_3}{f^3} + \frac{k_2}{f^2} + \frac{k_1}{f} + k_0, \quad (1.43)$$

čia k_0, k_1, k_2, k_3, k_4 – koeficientai, apibūdinantys kiekvieną konkretų osciliatorių, f – dažnio poslinkis nuo nešlio dažnio. $1/f^3$ triukšmo dedamosios pagrindinis šaltinis yra $1/f$ mirgėjimo triukšmas, perkeltas į aukštesniųjų dažnių sritį. $1/f^2$ triukšmo dedamosios šaltinis yra šiluminis triukšmas, perkeltas į aukštesniųjų dažnių sritį.

Logaritminėje dažnių srityje (1.43) lygtis gali būti atvaizduota tiesėmis, kurių statusas yra -30 dB/dekadai ($1/f^3$ sritis), -20 dB/dekadai ($1/f^2$ sritis), -10 dB/dekadai ($1/f$ sritis), 0 dB/dekadai ($1/f^0$ sritis), kaip parodyta 1.21 paveiksle.

(1.43) lygtimi taip pat yra aprašomas ir atraminio signalo įnešamas išorinio fazės triukšmo spektrinis tankis.



1.21 pav. Bendrojo osciliatoriaus fazės triukšmo dedamosios

Fig. 1.21. Phase noise components of general oscillator

SVG kvantavimo triukšmo, atsirandančio dėl riboto dažnio valdymo žingsnio (skiriamosios gebos), spektrinis tankis aprašomas taip (Staszewski, Chih-Ming Hung, *et al.* 2005):

$$\mathcal{L}_{\text{kv}}(f) = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{f} \right)^2 \cdot \frac{1}{f_{\text{ATR}}} \cdot \text{sinc}^2 \frac{f}{f_{\text{ATR}}}, \quad (1.44)$$

čia f_{RES} – SVG išėjimo signalo dažnio valdymo žingsnis, f_{ATR} – atraminio signalo dažnis, f – dažnio poslinkis nuo centrinio (SVG generuojamo signalo) dažnio.

Reikia pabrėžti, kad (1.44) išraiškoje yra naudojama normuota sinc funkcija, aprašoma taip:

$$\text{sinc}(x) = \begin{cases} 1, & \text{kai } x = 0; \\ \frac{\sin(\pi x)}{\pi x}, & \text{kai } x \neq 0. \end{cases} \quad (1.45)$$

Kaip matyti iš (1.44) lygties, SVG kvantavimo triukšmą galima pagerinti, didinant atraminio signalo dažnį. Tačiau efektyvesnis šio triukšmo dedamosios mažinimo būdas yra triukšmo formavimas, naudojant $\Delta\Sigma$ moduliatorių. Šio formavimo esmė – triukšmo perkėlimas į aukštųjų dažnių sritį, kur jis yra nufiltruojamas žemųjų dažnių filtru. $\Delta\Sigma$ moduliatorius yra taktuojamas signalu, didesniu už atraminio signalo dažnį. Toks signalas įprastai yra gaunamas iš SVG generuojamo signalo, padalinus jo dažnį iš sveikąjo koeficiento (pvz., iš 4).

SVG $\Delta\Sigma$ triukšmo formavimo spektrinis tankis aprašomas taip (Staszewski, Chih-Ming Hung, *et al.* 2005):

$$\mathcal{L}_{\Delta\Sigma f}(f) = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{f} \right)^2 \cdot \frac{1}{f_{\Delta\Sigma}} \cdot \left(2 \cdot \sin \frac{\pi f}{f_{\Delta\Sigma}} \right)^{2n}, \quad (1.46)$$

čia f_{RES} – SVG išėjimo signalo dažnio valdymo žingsnis, $f_{\Delta\Sigma}$ – $\Delta\Sigma$ modulatoriaus taktavimo signalo dažnis, f – dažnio poslinkis nuo centrinio (SVG generuojamo signalo) dažnio, n – $\Delta\Sigma$ modulatoriaus eilė.

Tačiau dėl riboto $\Delta\Sigma$ modulatoriaus valdomų bitų skaičiaus, (1.44) lygties dedamoji nebus visiškai panaikinta. Dėl $\Delta\Sigma$ formavimo bus sumažintas dažnio valdymo žingsnis 2^W kartų, čia W – $\Delta\Sigma$ modulatoriaus valdomų SVG dažnio valdymo bitų skaičius.

Bendrasis SVG kvantavimo spektrinis tankis po $\Delta\Sigma$ formavimo yra aprašomas taip:

$$\begin{aligned} \mathcal{L}_{\Delta\Sigma}(f) &= \mathcal{L}_{\text{kv}}(f) \Big|_{\Delta f_{\text{res}} = \frac{\Delta f_{\text{res}}}{2^W}} + \mathcal{L}_{\Delta\Sigma f}(f) \Big|_{\Delta f_{\text{res}} = \Delta f_{\text{res}}} = \\ &= \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}} / 2^W}{f} \right)^2 \cdot \frac{1}{f_{\text{ATR}}} \cdot \text{sinc}^2 \frac{f}{f_{\text{ATR}}} + \\ &+ \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{f} \right)^2 \cdot \frac{1}{f_{\Delta\Sigma}} \cdot \left(2 \cdot \sin \frac{\pi f}{f_{\Delta\Sigma}} \right)^{2n}, \end{aligned} \quad (1.47)$$

čia Δf_{RES} – SVG išėjimo signalo dažnio valdymo žingsnis, f_{ATR} – atraminio signalo dažnis, $f_{\Delta\Sigma}$ – $\Delta\Sigma$ modulatoriaus taktavimo signalo dažnis, f – dažnio poslinkis nuo centrinio (SVG generuojamo signalo) dažnio, $W_{\Delta\Sigma}$ – $\Delta\Sigma$ modulatoriaus valdomų SVG dažnio valdymo bitų skaičius, n – $\Delta\Sigma$ modulatoriaus eilė.

Kituose poskyriuose bus aprašomos aukščiau minėtų dažnio sintezatoriaus triukšmų perdavimo funkcijos. Jų išvedimas yra pateiktas (Staszewski, Balsara 2006; Mendel *et al.* 2007; Jiang *et al.* 2015). Čia jos yra apibendrinamos kiekvienam DS tipui.

1.4.1. I-ojo tipo dažnio sintezatoriaus triukšmo perdavimo funkcijos

Iš ankstesnių poskyrių žinoma, kai 1.20 paveiksle pateiktoje struktūroje vietoje sintezatoriaus filtro yra naudojamas tik proporcinio perdavimo α blokas, yra gautama I-ojo tipo dažnio sintezatoriaus struktūra.

Atraminio signalo triukšmo perdavimo funkcija lygi atraminio signalo fazės perdavimo funkcijai, kuri yra užrašoma:

$$H_{uk,ATR}(s) = H_{uk}(s) = \frac{NH_{ak}}{1 + H_{ak}} = \frac{N\alpha(f_{ATR}/s)}{1 + \alpha(f_{ATR}/s)} = \frac{N}{1 + s/\alpha f_{ATR}}; \quad (1.48)$$

$$H_{uk,ATR}(f) = H_{uk}(f) = \frac{N}{1 + j(2\pi f/\alpha f_{ATR})}. \quad (1.49)$$

Triukšmo $\varphi_{t,v}$, atsirandančio generatoriuje, perdavimo funkcija yra:

$$H_{uk,SVG}(s) = \frac{1}{1 + H_{ak}(s)} = \frac{1}{1 + \alpha f_{ATR}/s} = \frac{s}{s + \alpha f_{ATR}}. \quad (1.50)$$

Ji gali būti perrašyta į:

$$H_{uk,SVG}(f) = \frac{1}{1 - j(\alpha f_{ATR} / (2\pi f))}. \quad (1.51)$$

Gauta (1.51) išraiška rodo, kad SVG įnešamo triukšmo perdavimo funkcija atitinka aukštųjų dažnių filtrą, kurio ribinis dažnis yra išreiškiamas:

$$f_{k,SVG} = \frac{\alpha}{2\pi} f_{ATR}. \quad (1.52)$$

SVG kvantavimo triukšmo uždarnosios kilpos perdavimo funkcijos yra:

$$H_{uk,SVGk}(s) = \frac{2\pi/s}{1 + H_{ak}(s)} = \frac{2\pi}{\alpha f_{ATR}} \cdot \frac{1}{1 + s/(\alpha f_{ATR})}; \quad (1.53)$$

$$H_{uk,SVGk}(f) = \frac{2\pi}{\alpha f_{ATR}} \cdot \frac{1}{1 + j2\pi f/(\alpha f_{ATR})}. \quad (1.54)$$

LSK triukšmo uždarnos kilpos perdavimo funkcija yra išreiškiamas:

$$H_{uk,LSK}(s) = \frac{\alpha f_{ATR}/s}{1 + H_{ak}(s)} = \frac{\alpha f_{ATR}/s}{1 + \alpha f_{ATR}/s} = \frac{1}{1 + s/\alpha f_{ATR}}. \quad (1.55)$$

Ši išraiška gali būti perrašoma į:

$$H_{uk,LSK}(f) = \frac{1}{1 + j(2\pi f/(\alpha f_{ATR}))}. \quad (1.56)$$

LSK įnešamo triukšmo perdavimo funkcija sutampa su atraminio signalo triukšmo perdavimo funkcija, tik be daugiklio N . Taip yra todėl, kad LSK išėjimo signalas, nešantis fazės informaciją, yra normuojamas pagal SVG signalo periodą.

1.4.2. II-ojo tipo dažnio sintezatoriaus triukšmo perdavimo funkcijos

Atraminio signalo triukšmo perdavimo funkcija, kaip ir I-ojo tipo dažnio sintezatoriaus atveju yra lygi atraminio signalo fazės perdavimo funkcijai ir yra aprašoma šiomis lygtimis:

$$H_{uk,ATR}(s) = H_{uk}(s) = N \frac{\alpha f_{ATR} s + \rho f_{ATR}^2}{s^2 + \alpha f_{ATR} s + \rho f_{ATR}^2}; \quad (1.57)$$

$$H_{uk,ATR}(f) = H_{uk}(f/f_{ATR}) = N \frac{\rho + j2\pi\alpha(f/f_{ATR})}{\rho - 4\pi^2(f/f_{ATR})^2 + j2\pi\alpha(f/f_{ATR})}. \quad (1.58)$$

Triukšmo $\varphi_{n,SVG}$, atsirandančio generatoriuje, uždaros kilpos perdavimo funkcija yra:

$$H_{uk,SVG}(s) = \frac{1}{1 + (\alpha + \rho f_{ATR}/s)(f_{ATR}/s)} = \frac{s^2}{s^2 + \alpha f_{ATR} s + \rho f_{ATR}^2}. \quad (1.59)$$

Ši lygtis gali būti pakeista į:

$$H_{uk,SVG}(f) = \frac{-4\pi^2(f/f_{ATR})^2}{\rho - 4\pi^2(f/f_{ATR})^2 + j2\pi\alpha(f/f_{ATR})}. \quad (1.60)$$

Iš (1.29) ir (1.30) lygčių išvedus atraminio signalo dažnio f_{ATR} išraiškas ir įrašius į (1.57), galima gauti SVG įnešamo triukšmo perdavimo funkcijos priklausomybę nuo dažnio, normuoto pagal sintezatoriaus natūralųjį dažnį ω/ω_n :

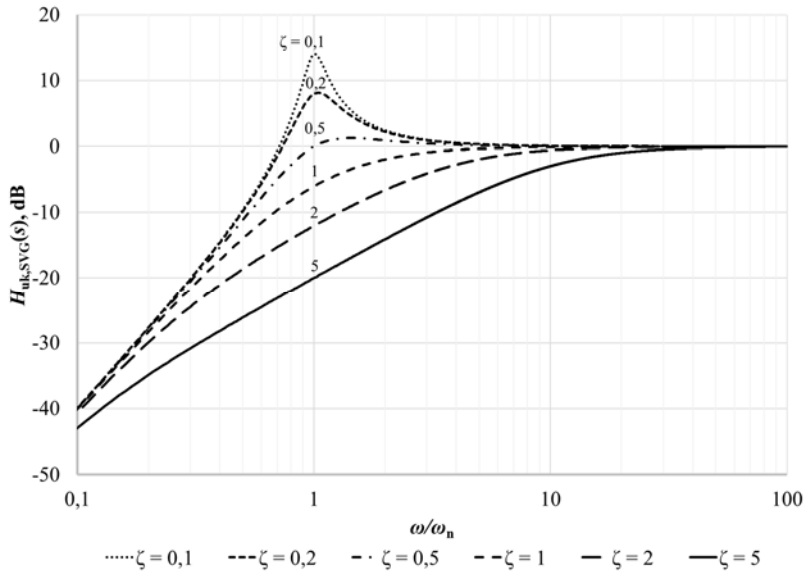
$$H_{uk,SVG}(\omega/\omega_n) = \frac{(\omega/\omega_n)^2}{(\omega/\omega_n)^2 - 1 - j2\zeta(\omega/\omega_n)}. \quad (1.61)$$

(1.61) perdavimo funkcijos dažninė amplitudės charakteristika, esant įvairioms slopinimo santykio vėrtėms yra pateikta 1.22 paveiksle. Lyginant su I-ojo tipo dažnio sintezatoriumi, žemo dažnio triukšmo komponentės gali būti labiau slopinamos, tačiau, kaip matyti iš 1.22 paveikslo, yra paviršių (stiprinimo) ties natūraliuoju dažniu atsiradimo rizika.

SVG kvantavimo triukšmo perdavimo funkcijos yra:

$$H_{uk,SVGk}(s) = \frac{2\pi/s}{1 + H_{ak}(s)} = \frac{2\pi s}{s^2 + \alpha f_{ATR} s + \rho f_{ATR}^2}; \quad (1.62)$$

$$H_{uk,SVGk}(f) = \frac{j4\pi^2 f}{\rho f_{ATR}^2 - 4\pi^2 f^2 + j2\pi\alpha f_{ATR} f}. \quad (1.63)$$



1.22 pav. II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus skaitmeniniu būdu valdomo generatoriaus įnešamo triukšmo dažninė amplitudės charakteristika

Fig. 1.22. Magnitude response of noise induced by digitally controlled oscillator in type-II all digital synthesiser

Triukšmo $\varphi_{n,LSK}$, atsirandančio laikiniame skaitmeniniame keitiklyje uždaro kilpos perdavimo funkcija yra:

$$H_{uk,LSK}(s) = \frac{(\alpha + \rho f_{ATR}/s)(f_{ATR}/s)}{1 + (\alpha + \rho f_{ATR}/s)(f_{ATR}/s)} = \frac{\alpha f_{ATR} s + \rho f_{ATR}^2}{s^2 + \alpha f_{ATR} s + \rho f_{ATR}^2}. \quad (1.64)$$

Ši perdavimo funkcija lygi (1.57) perdavimo funkcijai, kai $N = 1$. Įrašius į ją atraminio dažnio f_{ATR} išraišką iš (1.29) ir (1.30) lygčių gausime išraišką, atitinkančią (1.28) lygtį. Todėl (1.64) perdavimo funkcijos dažninė amplitudės charakteristika atitinka 1.14 paveiksle pateiktą klasikinės dviejų polių sistemos dažninę amplitudės charakteristiką.

1.4.3. II-ojo tipo aukštesnės eilės dažnio sintezatoriaus triukšmo perdavimo funkcijos

Analogiškai ir I-ojo bei II-ojo tipo dažnio sintezatorių atvejams gali būti užrašomos II-ojo tipo aukštesnės eilės visiškai skaitmeninio DS triukšmo perdavimo funkcijos.

Atraminio signalo triukšmo perdavimo funkcijos išreiškiamos taip:

$$H_{uk,ATR}(s) = H_{uk}(s) = N \frac{H_{ak}(s)}{1 + H_{ak}(s)}; \quad (1.65)$$

$$H_{uk,ATR}(f) = H_{uk}(f) = N \frac{H_{ak}(f)}{1 + H_{ak}(f)}. \quad (1.66)$$

SVG savojo triukšmo perdavimo funkcijos:

$$H_{uk,SVG}(s) = \frac{1}{1 + H_{ak}(s)}; \quad (1.67)$$

$$H_{uk,SVG}(f) = \frac{1}{1 + H_{ak}(f)}, \quad (1.68)$$

o SVG kvantavimo triukšmo perdavimo funkcijos yra išreiškiamos taip:

$$H_{uk,SVGk}(s) = \frac{2\pi/s}{1 + H_{ak}(s)}; \quad (1.69)$$

$$H_{uk,SVGk}(f) = \frac{2\pi/(j2\pi f)}{1 + H_{ak}(f)} = \frac{1}{jf(1 + H_{ak}(f))}. \quad (1.70)$$

LSK kvantavimo triukšmo perdavimo funkcijos:

$$H_{uk,LSK}(s) = \frac{H_{ak}(s)}{1 + H_{ak}(s)}; \quad (1.71)$$

$$H_{uk,LSK}(f) = \frac{H_{ak}(f)}{1 + H_{ak}(f)}. \quad (1.72)$$

(1.65)–(1.72) lygtys H_{ak} yra II-ojo tipo aukštesnės eilės dažnio sintezatoriaus atvirosios kilpos perdavimo funkcija.

1.4.4. Bendroji visiškai skaitmeninių dažnio sintetatorių fazės triukšmo funkcija

Bendras pateikto visiškai skaitmeninio dažnio sintetatoriaus fazės triukšmas, įvertinant išorinį atraminio signalo, LSK kvantavimo, SVG savąjį ir SVG kvantavimo triukšmus, gali būti apskaičiuotas taikant šią lygtį (Mendel *et al.* 2007):

$$\begin{aligned} \mathcal{L}_{DS} = & \mathcal{L}_{Osc,ATR}(f) \cdot |H_{uk,ATR}(f)|^2 + \mathcal{L}_{LSK} \cdot |H_{uk,LSK}(f)|^2 + \\ & \mathcal{L}_{Osc,SVG}(f) \cdot |H_{uk,SVG}(f)|^2 + \mathcal{L}_{\Delta\Sigma}(f). \end{aligned} \quad (1.73)$$

SVG kvantavimo ir $\Delta\Sigma$ formavimo triukšmo išraiškose yra įvertinta šių triukšmų perdavimo funkcija, todėl skaičiuojant bendrą dažnio sintetatoriaus triukšmą, reikia tik pridėti šio triukšmo vertes nedauginant iš triukšmų galios perdavimo funkcijos.

1.5. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas

Atlikus literatūros disertacijos tema apžvalgą buvo padarytos šios išvados:

1. Klasikinių dažnio sintetatorių kūrimas taikant nanometrines technologijas sudėtingėja, todėl pastaruoju metu didelis dėmesys skiriamas visiškai skaitmeninės struktūros dažnio sintetatorių tyrimams. Tačiau sukurti visiškai skaitmeniniai DS nėra pritaikyti daugiajuosčiams be-laidžio ryšio siųstuvams-imtuvams.
2. Literatūroje sutinkamos kokybės funkcijos įvertina ne visus dažnio sintetatoriaus parametrus, todėl nėra tinkamos daugiajuosčiams dažnio sintetatoriams, įgyvendintiems taikant skirtingas integrinių grandynų technologijas, kiekybiškai palyginti ir jas reikia tobulinti.
3. I-ojo tipo dažnio sintetatorius, turintis tik vieną integratorių (SVG), pasižymi dinamiškesnėmis savybėmis, tačiau II-ojo tipo DS, turintis antrąjį integratorių filtro struktūroje, pasižymi geresnėmis triukšmo slopinimo charakteristikomis. DS tipas gali būti keičiamas perkonfigūruojant filtrą – pradinėje dažnio nustatymo būsenoje gali būti naudojama tik proporcinė filtro dalis, kad greičiau nustatyti reikiamą dažnį, o tikslaus dažnio sekimo būsenoje gali būti aktyvuojama integrinė filtro dalis, kad labiau slopinti triukšmus. Papildomi BIR filtrai naudojami sudaryti II-ojo tipo aukštesnės eilės DS struktūrą.

4. Dažnio sintezatoriaus vidaus fazės triukšmo šaltiniai yra skaitmeniniu būdu valdomas generatorius ir laikinis skaitmeninis keitiklis, o išorės – atraminis signalas. LSK kuria triukšmą dėl ribotos jo skiriamosios gebos, o SVG kuria triukšmą dėl savojo (osciliatoriaus) fazės triukšmo ir dėl ribotos dažnio valdymo skiriamosios gebos. Pastarasis triukšmas gali būti mažinamas naudojant $\Delta\Sigma$ moduliatorių.

Atlikus dažnio sintezatorių analizę suformuoti šie uždaviniai:

1. Ištirti dažnio sintezatorių struktūras, naudojamas belaidžio ryšio siųtuvams-imtuvams ir sukurti dažnio sintezatoriaus struktūrą, tinkančią įgyvendinti taikant nanometrines ir submikronines KMOP technologijas.
2. Sukurti ir ištirti siūlomos struktūros dažnio sintezatoriaus sudarančių blokų modelius.
3. Sukurti ir ištirti dažnio sintezatorių sudarančių blokų integrinius grandynus.

Visiškai skaitmeninio dažnio sintezatoriaus daugiajuosčiams siųstuvams-imtuvams tyrimas

Šiame skyriuje siūloma kokybės funkcija, apimanti pagrindinius dažnio sintezatoriaus parametrus ir leidžianti kiekybiškai palyginti daugiajuosčiams belaidžio ryšio siųstuvams-imtuvams tinkamus dažnio sintezatorius. Ši kokybės funkcija yra taikoma analizuojant literatūroje skelbiamų sintezatorių struktūras.

Yra apskaičiuojama triukšmų šaltinių įtaką dažnio sintezatoriaus išėjimo signalo fazės triukšmui ir iškeliama reikalavimai pagrindiniams visiškai skaitmeninio dažnio sintezatoriaus blokams, siekiant panaudoti dažnio sintezatorių daugiajuosčiams siųstuvams-imtuvams.

Taip pat yra nagrinėjami technologiniai bei struktūriniai laikinio skaitmeninio keitiklio skiriamosios gebos didinimo būdai. Sukurtas dviejų dimensijų *Vernier* laikinio skaitmeninio keitiklio, paremto žiediniais generatoriais ir gebančio išmatuoti laiko trukmę, mažesnę nei inverterio vėlinimo trukmė, modelis. Siūloma dažnio sintezatoriaus struktūra daugiajuosčiams siųstuvams-imtuvams.

Skyriaus tematika paskelbti keturi moksliniai straipsniai (Jurgo, Navickas 2016; Jurgo, Navickas 2017; Jurgo, Navickas 2018; Mačaitis *et. al.* 2016). Skyriaus tematika skaityti trys pranešimai Lietuvos konferencijose (Jurgo 2015; Jurgo 2016; Jurgo 2017) ir tarptautinėje konferencijoje (Jurgo 2017).

2.1. Kokybės funkcija

Darbe nagrinėjamų dažnio sintetorių taikymo sritis yra daugiajuosčiai belaidžio ryšio siųstuvas-imtuvai. Todėl svarbu, kad sintetorius turėtų kuo platesnį dažnių perderinimo ruožą, kuo mažesnę fazės triukšmą, vartojamąją galią ir užimamą lusto plotą. Kaip žinoma iš praeito skyriaus, literatūroje sutinkamos kokybės funkcijos neapima visų šių parametrų, pvz., neįvertina dažnio perderinimo ruožo, integrinio grandyno ploto ir technologijos.

Taigi, atsižvelgiant į aukščiau minėtus teiginius, siūloma naudoti tokią kokybės funkciją, skirtą kiekybiškai palyginti tarpusavyje įvairių struktūrų sintetorių:

$$FOM = \mathcal{L}\{f_{\text{off}}\} - 10 \lg \left(\frac{f_c \cdot (f_{\text{max}} - f_{\text{min}})}{f_{\text{off}} \cdot \frac{P}{(1 \text{ W})} \cdot \frac{S}{L_{\text{hp}} \cdot (1 \text{ m})} \cdot (1 \text{ Hz})} \right), \quad (2.1)$$

čia $\mathcal{L}\{f_{\text{off}}\}$ – fazės triukšmas, f_{off} – dažnio nuokrypis nuo centrinio dažnio, kuriam esant matuotas fazės triukšmas, f_c – centrinis dažnis, $f_{\text{max}}, f_{\text{min}}$ – didžiausias ir mažiausias veikimo dažniai, P – vartojamoji galia, S – užimamas lusto plotas, L_{hp} – technologinis etapas.

Ši kokybės funkcija apima visus pagrindinius dažnio sintetorių parametrus. Taip pat yra įvertinama naudojama technologija. Fazės triukšmas yra pagrindinis funkcijos parametras, kadangi dažnio sintetoriaus pagrindinė funkcija generuoti žemo triukšmo signalą, o kiti parametrai yra lygiaverčiai. Šios kokybės funkcijos matavimo vienetai sutampa su fazės triukšmo matavimo vienetais (dBc/Hz). Tai neigiamas dydis ir kuo mažesnė gaunama kokybės funkcijos absoliuti vertė (kuo didesnis jos modulis), tuo DS yra geresnis.

A priede yra pateikti kai kurių pastarųjų metų dažnio sintetorių pagrindiniai parametrai ir šiems sintetoriams apskaičiuotos kokybės funkcijos. A.1 lentelėje pateikti klasikinės (mišrios, krūvio pompos) struktūros dažnio sintetorių parametrai ir kokybės funkcija, o A.2 lentelėje – visiškai skaitmeninės struktūros dažnio sintetorių parametrai ir kokybės funkcija. Rezultatai yra surūšiuoti pagal KMOP technologijas, kurias taikant įgyvendinti sintetoriai (nuo mažiausios iki didžiausios) ir pagal kokybės funkciją (nuo geriausios iki blogiausios).

Klasikinių DS kokybės funkcija yra didžiausia taikant submikronines (0,18 μm , 0,13 μm) technologijas ir siekia –280,54 dBc/Hz. Mažiausia klasikinio DS kokybės funkcijos reikšmė taikant submikronines technologijas yra –223,12 dBc/Hz, o jos vidurkis yra –248,33 dBc/Hz. Taikant nanometrines technologijas įgyvendinto klasikinės struktūros DS kokybės funkcijos reikšmė kinta nuo –252,32 dBc/Hz iki –212,01 dBc/Hz, o vidurkis lygus –235,87 dBc/Hz.

Didžioji dalis visiškai skaitmeninių dažnio sintetatorių yra įgyvendinti taikant nanometrines (40–90 nm) KMOP technologijas, o apskaičiuota tokių DS kokybės funkcija kinta nuo $-270,32$ dBc/Hz iki $-222,69$ dBc/Hz ir jos vidurkis yra $-245,43$ dBc/Hz.

Taikant nanometrines technologijas visiškai skaitmeninės struktūros dažnio sintetatoriai yra pranašesni už klasikinius. Tačiau taikant submikronines KMOP technologijas įgyvendinti klasikinės struktūros DS yra lygiaverčiai arba pranašesni už visiškai skaitmeninius DS.

Verta paminėti, kad ne visi autoriai pateikia visus sintetatorių parametrus, todėl sudėtingėja kokybės funkcijos apskaičiavimas. Jei nebuvo pateiktas centrinis dažnis, kuriam esant buvo matuojamas fazės triukšmas, skaičiuojant kokybės funkciją buvo naudojamas minimalus darbo ruožo dažnis. Taip pat skirtingi autoriai fazės triukšmo vertes pateikia esant skirtingiems dažnio nuokrypiams nuo centrinio dažnio. Todėl lentelėse yra keli to pačio sintetatoriaus įrašai, esant skirtingiems fazės triukšmo ir dažnio nuokrypiams nuo centrinio dažnio.

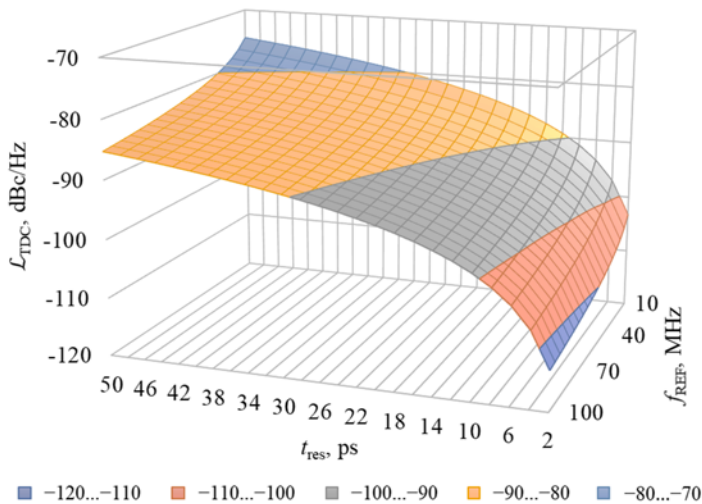
2.2. Reikalavimai dažnio sintetatoriaus pagrindiniams blokams

Iš 1.4 poskyrio žinoma, kad yra du visiškai skaitmeninio dažnio sintetatoriaus vidiniai fazės triukšmo šaltiniai: laikinis skaitmeninis keitiklis ir skaitmeniniu būdu valdomas generatorius. LSK įnešamo fazės triukšmo perdavimo funkcija atitinka žemųjų dažnių filtrą, o SVG – aukštųjų dažnių filtrą. Todėl LSK įtakoja fazės triukšmą DS praleidžiamų dažnių juostoje, o SVG – už praleidžiamų dažnių juostos ribinio dažnio.

LSK įnešamas kvantavimo triukšmas, kaip matyti iš (1.41) išraiškos, priklauso nuo LSK skiriamosios gebos (mažiausios išmatuojamos laiko trukmės), SVG generuojamo signalo dažnio ir atraminio signalo dažnio. SVG generuojamo signalo dažnio vertė yra gaunama iš sisteminių reikalavimų ir negali būti mažinama, norint sumažinti LSK kvantavimo triukšmą. Todėl skaičiuojant LSK fazės triukšmą, reikia naudoti didžiausią SVG signalo dažnį.

Iš esamų bei vystomų belaidžio ryšio standartų apžvalgų (Yole 2017) ir šiuo metu vienu moderniausių daugiajuosčių belaidžio ryšio siųstuvų-imtuvų integrinių grandynų techninės dokumentacijos (Analog Devices 2017; Analog Devices 2013; Lime Microsystems 2015) seka, kad norint taikyti dažnio sintetatorių tokiuose integriniuose grandynuose, jo išėjimo signalo dažnis turi būti plačiai perduodamas ir siekti 6 GHz, o fazės triukšmas turi būti mažesnis nei -90 dBc/Hz praleidžiamų dažnių juostos ribose ir geresnis nei -120 dBc/Hz už praleidžiamų dažnių juostos. Todėl LSK kuriamo fazės triukšmo skaičiavimuose yra naudojamas SVG generuojamo signalo dažnis, lygus 6 GHz.

2.1 paveiksle pateiktas pagal (1.41) išraišką apskaičiuota LSK įnešamo triukšmo vertė, kai atraminio signalo dažnis kinta nuo 10 MHz iki 100 MHz, o LSK skiriamoji geba kinta nuo 2 ps iki 50 ps. Iš šio paveikslo matyti, kad LSK įnešamo triukšmo vertė kinta nuo -75 dB/Hz iki -113 dB/Hz. LSK skiriamoji geba turi būti nedidesnė nei 28 ps, 12 ps ir 4 ps, kad LSK įnešamas fazės triukšmas būtų atitinkamai neprastesnis nei -80 dBc/Hz, -90 dBc/Hz, ir -100 dBc/Hz.



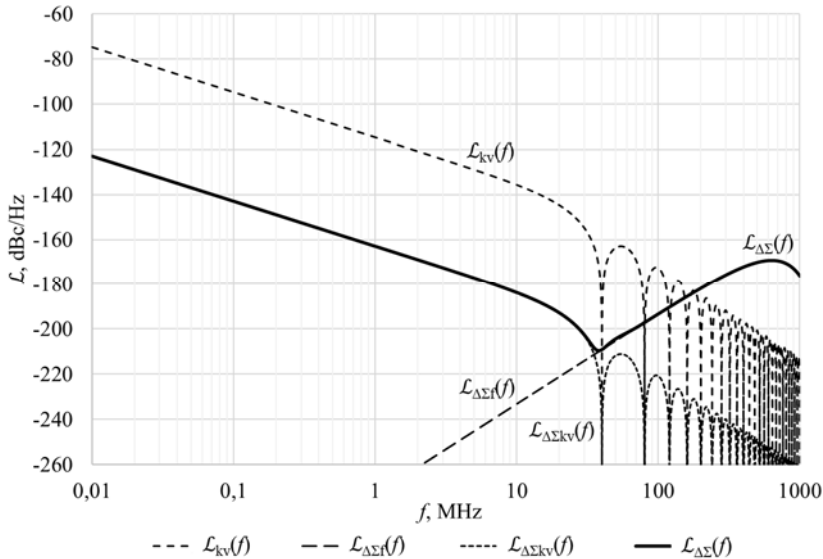
2.1 pav. Teorinis laikinio skaitmeninio keitiklio įnešamas fazės triukšmas, kai skaitmeniniu būdu valdomo generatoriaus dažnis yra lygus 6 GHz, atraminio signalo dažnis 10–100 MHz, laikinio skaitmeninio keitiklio skiriamoji geba 2–50 ps

Fig. 2.1. Theoretical phase noise induced by time to digital converter, when frequency of digitally controlled oscillator's output signal is 6 GHz, frequency of reference oscillator's signal is 10–100 MHz, resolution of time to digital converter is 2–50 ps

SVG įnešamas fazės triukšmas yra skirstomas į dvi dalis: kvantavimo ir savąjį osciliatoriaus triukšmą. Savasis osciliatoriaus triukšmas priklauso nuo rezonansinio kontūro savybių. Žemo fazės triukšmo valdomuose generatoriuose įprastai yra naudojami LC rezonansiniai kontūrai. LC generatoriai ir jų savasis triukšmas literatūroje yra plačiai apžvelgti (Macaitis *et al.* 2015; Devos *et al.* 2016; Macaitis *et al.* 2017a), todėl čia dėmesys kreipiamas į SVG kvantavimo triukšmą.

2.2 paveiksle pateiktas pagal (1.46) išraišką apskaičiuotas SVG kvantavimo ir $\Delta\Sigma$ formavimo triukšmas ir jo dedamosios, kai SVG signalo dažnis f_{SVG} yra lygus 6 GHz, atraminio signalo dažnis f_{ATR} yra lygus 40 MHz, $\Delta\Sigma$ moduliatoriaus taktavimo dažnis $f_{\Delta\Sigma}$ lygus SVG signalo dažniui, padalintam iš 4, SVG dažnio perderinimo žingsnis Δf_{RES} yra 40 kHz, $\Delta\Sigma$ moduliatoriaus valdomų bitų skaičius W yra lygus 8, $\Delta\Sigma$ moduliatoriaus eilė n lygi 3. Paveiksle $\mathcal{L}_{\Delta\Sigma}(f)$ pažymėtas bendrasis SVG kvantavimo ir $\Delta\Sigma$ formavimo triukšmas, $\mathcal{L}_{\text{kv}}(f)$ – SVG kvantavimo

triukšmas be $\Delta\Sigma$ modulatoriaus, $\mathcal{L}_{\Delta\Sigma kv}(f)$ – SVG kvantavimo triukšmas su $\Delta\Sigma$ modulatoriumi, $\mathcal{L}_{\Delta\Sigma f}(f)$ – SVG $\Delta\Sigma$ formavimo triukšmas.



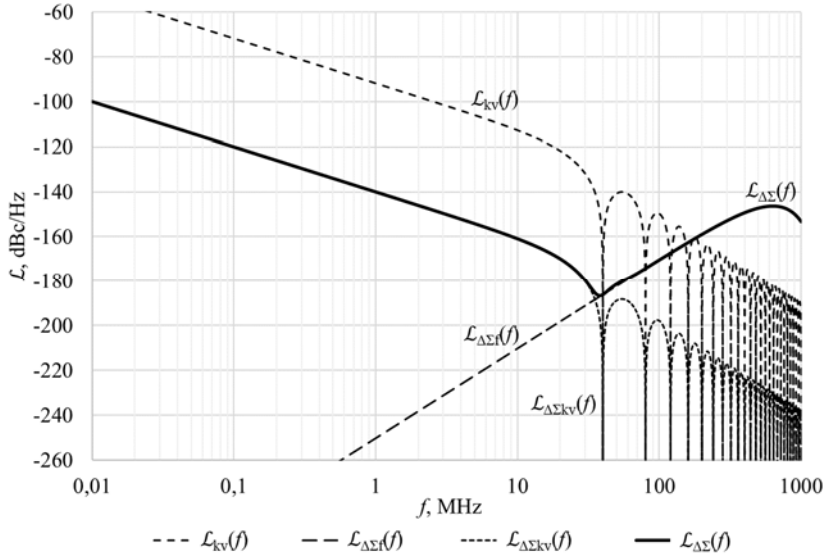
2.2 pav. Teorinis skaitmeniniu būdu valdomo generatoriaus įnešamas kvantavimo triukšmas ir jo dedamosios, kai $f_{SVG} = 6$ GHz, $f_{ATR} = 40$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$, $\Delta f_{RES} = 40$ kHz, $W = 8$, $n = 3$

Fig. 2.2. Theoretical phase noise and its components, induced by quantization of digitally controlled oscillator, when $f_{SVG} = 6$ GHz, $f_{ATR} = 40$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$, $\Delta f_{RES} = 40$ kHz, $W = 8$, $n = 3$

Iš 2.2 paveikslo matyti, kad $\Delta\Sigma$ kvantavimas ir triukšmo formavimas sumažina SVG įnešamą kvantavimo triukšmą daugiau nei 40 dBc/Hz, esant mažiems dažnio poslinkiams nuo nešlio dažnio (artimoje srityje). Šioje srityje, pagal (1.46) išraišką, SVG įnešamas kvantavimo triukšmas priklauso nuo atraminio signalo dažnio ir santykio $\Delta f_{RES}/2^W$. Šis santykis parodo, kad $\Delta\Sigma$ modulatoriaus valdomų bitų skaičiaus padidėjimas vienetu tolygus SVG perderinimo žingsnio padalinimui per pusę.

SVG įnešamas kvantavimo triukšmas artimojoje srityje nebus pašalintas dažnio sintetoriu, kadangi jo dažninės charakteristikos atitinka žemųjų dažnių filtrą. Todėl svarbu, kad šis triukšmas neviršytų LSK įnešamo kvantavimo triukšmo. Norint, kad SVG kuriamas fazės triukšmas artimojoje nešlio srityje neviršytų -100 dBc/Hz fazės triukšmo, kai atraminio signalo dažnis yra 40 MHz, reikia, kad santykis $\Delta f_{RES}/2^W$ neviršytų 2190 Hz, t. y. toks turi būti SVG perderinimo žingsnis po $\Delta\Sigma$ kvantavimo. Toks atvejis, kai SVG dažnio perderinimo žingsnis padidinamas iki 560,64 kHz, yra parodytas 2.3 paveiksle. Tačiau taikant

submikronines technologijas yra pasiekiamas dažnio perderinimo žingsnis artimas 10 kHz (Maurath *et al.* 2017: 232–235; Huang *et al.* 2017: 1299–1307; Huang *et al.* 2015: 234–235; Staszewski *et al.* 2005: 2203–2211), todėl šį santykį išlaikyti yra sąlyginai paprasta.



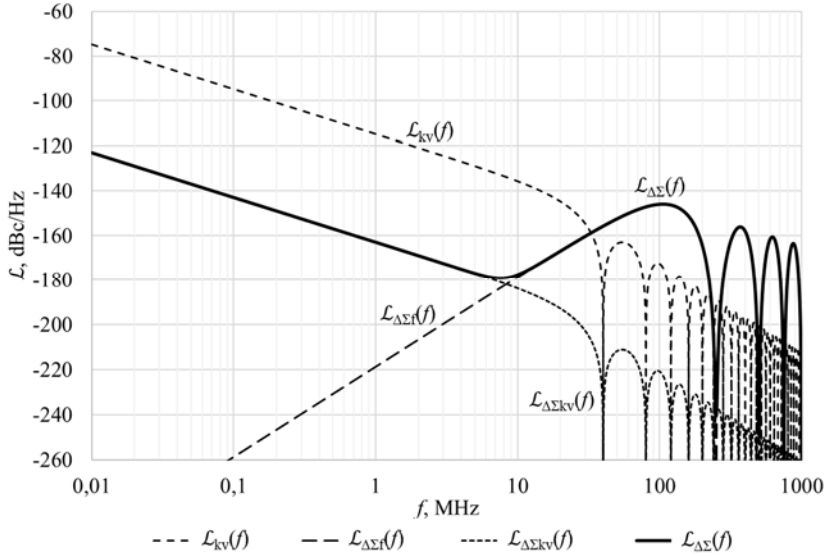
2.3 pav. Teorinis skaitmeniniu būdu valdomo generatoriaus įnešamas kvantavimo triukšmas ir jo dedamosios, kai $f_{\text{SVG}} = 6 \text{ GHz}$, $f_{\text{ATR}} = 40 \text{ MHz}$, $f_{\Delta\Sigma} = f_{\text{SVG}}/4$, $\Delta f_{\text{RES}} = 560,64 \text{ kHz}$, $W = 8$, $n = 3$

Fig. 2.3. Theoretical phase noise and its components, induced by quantization of digitally controlled oscillator, when $f_{\text{SVG}} = 6 \text{ GHz}$, $f_{\text{ATR}} = 40 \text{ MHz}$, $f_{\Delta\Sigma} = f_{\text{SVG}}/4$, $\Delta f_{\text{RES}} = 560.64 \text{ kHz}$, $W = 8$, $n = 3$

Tolimojoje dažnio poslinkio nuo nešlio dažnio srityje dominuoja triukšmas dėl $\Delta\Sigma$ triukšmo formavimo. Ši triukšmo dedamoji yra tuo didesnė, kuo mažesnis SVG generuojamo signalo dažnis, kadangi kartu mažėja $\Delta\Sigma$ modulatoriaus takavimo signalo dažnis. 2.4 paveiksle parodytas SVG kvantavimo triukšmo ir jo dedamųjų atvejis, kai SVG generuojamo signalo dažnis yra lygus 1 GHz, o visi kiti parametrai, kaip ir 2.2 paveiksle. Šiuo atveju $\Delta\Sigma$ formavimo triukšmo maksimumas padidėjo 23 dB/Hz ir šis maksimumas pasislinko žemesniųjų dažnių kryptimi, tačiau išlieka už dažnio sintetatoriaus praleidžiamųjų dažnių juostos ribų. Šis triukšmas turi būti mažesnis už savąjį SVG triukšmą.

2.5 paveiksle parodytas pagal (1.71) išraišką apskaičiuotas II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus fazės triukšmas ir jo dedamosios. Apskaičiuotoms reikšmėms palyginti su realaus DS fazės triukšmu, skaičiavimams naudojami parametrai iš (Pavlovic, Bergervoet 2011): SVG generuojamo signalo dažnis f_{SVG} yra lygus 5,38 GHz, atraminio signalo dažnis f_{ATR} yra lygus 48 MHz, SVG

dažnio perderinimo žingsnis Δf_{RES} yra 26 kHz, $\Delta\Sigma$ modulatoriaus valdomų bitų skaičius W yra lygus 9. Autoriai nenurodo kokia yra $\Delta\Sigma$ modulatoriaus eilė ir kokių dažnių jis veikia, todėl skaičiavimuose priimta, kad $\Delta\Sigma$ modulatoriaus takavimo dažnis $f_{\Delta\Sigma}$ lygus SVG signalo dažniui, padalintam iš 4, ir $\Delta\Sigma$ modulatoriaus eilė n lygi 2. Nustatyti proporcinio ir integrinio perdavimo koeficientai yra $\alpha = 2^{-6}$, $\rho = 2^{-12}$.



2.4 pav. Teorinis skaitmeniniu būdu valdomo generatoriaus įnešamas kvantavimo triukšmas ir jo dedamosios, kai $f_{\text{SVG}} = 1$ GHz, $f_{\text{ATR}} = 40$ MHz, $f_{\Delta\Sigma} = f_{\text{SVG}}/4$, $\Delta f_{\text{RES}} = 40$ kHz, $W = 8$, $n = 3$

Fig. 2.4. Theoretical phase noise and its components, induced by quantization of digitally controlled oscillator, when $f_{\text{SVG}} = 1$ GHz, $f_{\text{ATR}} = 40$ MHz, $f_{\Delta\Sigma} = f_{\text{SVG}}/4$, $\Delta f_{\text{RES}} = 40$ kHz, $W = 8$, $n = 3$

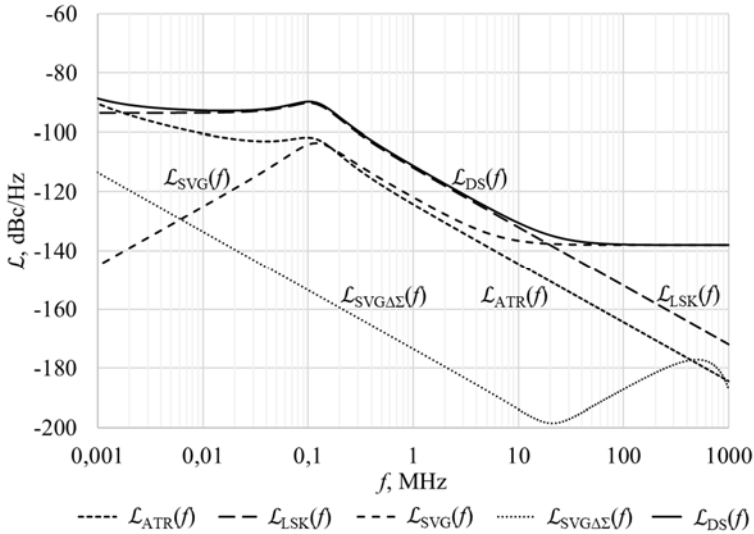
Atraminio signalo įnešamas fazės triukšmas ir SVG signalo savasis (osciliatoriaus) fazės triukšmas aproksimuojami atitinkamai (2.2) ir (2.3) lygtimis, kurios (Jiang *et al.* 2015) yra naudojamos (Pavlovic *et al.* 2011) pateikto dažnio sintezatoriaus aproksimacijai z srityje (Trudgen *et al.* 2009; Jang *et al.* 2009).

$$\mathcal{L}_{\text{Osc,ATR}}(f) = \frac{10^{-4,8}}{f^3} + \frac{10^{-8,3}}{f^2} + \frac{10^{-10,3}}{f} + 10^{-14,7}, \quad (2.2)$$

$$\mathcal{L}_{\text{Osc,SVG}}(f) = \frac{10^{-0,2}}{f^2} + 10^{-13,8}, \quad (2.3)$$

čia f – dažnio poslinkis nuo nešlio dažnio.

2.5 paveiksle $\mathcal{L}_{DS}(f)$ pažymėtas bendrasis dažnio sintetatoriaus fazės triukšmas, $\mathcal{L}_{ATR}(f)$ – atraminio signalo įnešamas fazės triukšmas, $\mathcal{L}_{LSK}(f)$ – LSK kuriamas fazės triukšmas, $\mathcal{L}_{SVG}(f)$ – SVG savasis (osciliatoriaus) triukšmas, $\mathcal{L}_{SVG\Delta\Sigma}(f)$ – SVG kvantavimo ir $\Delta\Sigma$ formavimo triukšmas.



2.5 pav. Teorinis II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus fazės triukšmas ir jo dedamosios, kai $f_{SVG} = 5.38$ GHz, $f_{ATR} = 48$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$,

$$\Delta f_{RES} = 26 \text{ kHz}, W = 9, n = 2, \alpha = 2^{-6}, \rho = 2^{-12}$$

Fig. 2.5. Theoretical phase noise and its components of type-II all digital frequency synthesiser, when $f_{SVG} = 5.38$ GHz, $f_{ATR} = 48$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$, $\Delta f_{RES} = 26$ kHz, $W = 9$, $n = 2$, $\alpha = 2^{-6}$, $\rho = 2^{-12}$

Iš 2.5 paveikslo matyti, kad esant mažiems dažnio poslinkiams nuo nešlio dažnio (praleidžiamų dažnių juostoje), dažnio sintetatoriaus fazės triukšmą sąlygoja atraminio signalo įnešamas fazės triukšmas ir LSK kuriamas triukšmas. Už sintetatoriaus praleidžiamų dažnių juostos dominuoja SVG savasis (osciliatoriaus) fazės triukšmas. SVG kvantavimo triukšmas dėl $\Delta\Sigma$ formavimo yra daugiau nei 20 dBc/Hz mažesnis sintetatoriaus praleidžiamų dažnių juostos ribose ir daugiau nei 38 dBc/Hz mažesnis už sintetatoriaus praleidžiamų dažnių juostos, todėl mažai įtakoja bendrą DS fazės triukšmą.

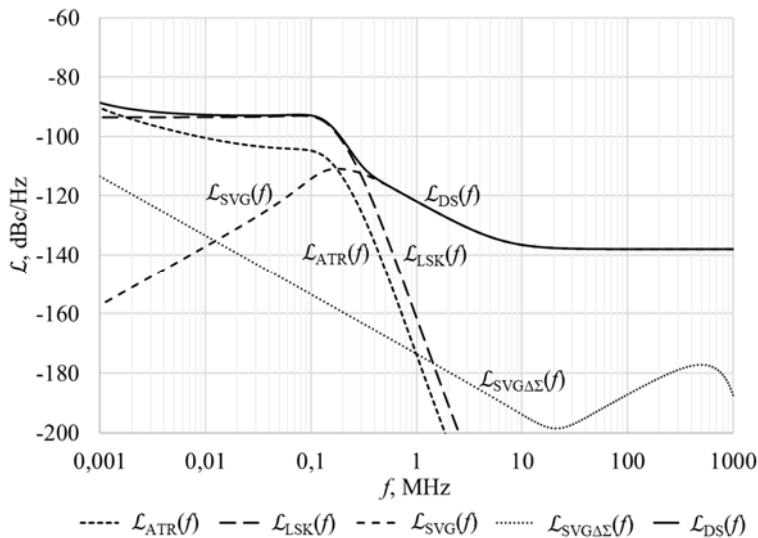
2.1 lentelėje yra pateiktas apskaičiuoto II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus fazės triukšmo palyginimas su (Pavlovic *et al.* 2011) sintetato-

riaus fazės triukšmu. Iš šios lentelės matyti, kad didžiausias skirtumas tarp pas-
kaičiuoto fazės triukšmo ir pateikto (Pavlovic *et al.* 2011) siekia 6,51 dBc/Hz, kai
dažnio poslinkis nuo nešlio dažnio yra 10 MHz.

2.1 lentelė. Teorinio II-ojo tipo visiškai skaitmeninio dažnio sintetatoriaus fazės
triukšmo palyginimas su duomenimis, pateiktais (Pavlovic *et al.* 2011)

Table 2.1. Comparison of theoretical phase noise of type-II all digital frequency
synthesiser to results, provided in (Pavlovic *et al.* 2011)

	$\mathcal{L}_{DS}(f)$, dBc/Hz, ties dažnio poslinkiu				
	1 kHz	10 kHz	100 kHz	1 MHz	10 MHz
(Pavlovic <i>et al.</i> 2011)	-90,39	-96,95	-90,71	-116,40	-137,00
Apskaičiuotas	-88,65	-92,66	-89,72	-111,21	-130,49
Skirtumas	-1,74	-4,29	-0,98	-5,19	-6,51



2.6 pav. Teorinis II-ojo tipo šeštos eilės visiškai skaitmeninio dažnio sintetatoriaus fazės
triukšmas ir jo dedamosios, kai $f_{SVG} = 5,38$ GHz, $f_{ATR} = 48$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$,
 $\Delta f_{RES} = 26$ kHz, $W = 9$, $n = 2$, $\alpha = 2^{-6}$, $\rho = 2^{-10}$, $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$.

Fig. 2.6. Theoretical phase noise and its components of sixths order type-II all digital
frequency synthesiser, when $f_{SVG} = 5.38$ GHz, $f_{ATR} = 48$ MHz, $f_{\Delta\Sigma} = f_{SVG}/4$,
 $\Delta f_{RES} = 26$ kHz, $W = 9$, $n = 2$, $\alpha = 2^{-6}$, $\rho = 2^{-10}$, $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$.

Kadangi (Pavlovic *et al.* 2011) šaltinyje nepateikiama dažnio sintetatoriaus filtro konfigūracija, yra apskaičiuotas DS fazės triukšmas dar vienai filtro konfigūracijai, kuri atitinka II-ojo tipo aukštesnės eilės DS struktūrą – tariama, kad sintetatoriaus filtras sudarytas iš proporcinės ir integrinės dalies bei keturių BIR filtrų, sujungtų kaskada, kas sudaro šeštąją DS eilę. Šis variantas pateiktas 2.6 paveiksle. Filtro proporcinės ir integrinės dalies koeficientai yra atitinkamai lygūs $\alpha = 2^{-6}$ ir $\rho = 2^{-10}$, o visų keturių BIR filtrų perdavimo koeficientai lygūs $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$.

Apskaičiuotas tokios konfigūracijos fazės triukšmo palyginimas su duomenimis iš (Pavlovic *et al.* 2011) pateiktas 2.2 lentelėje. Fazės triukšmo skirtumas su realiais duomenimis siekia 5,23 dBc/Hz. Iš 2.2 lentelės ir 2.6 paveikslo matyti, kad didžiausias skirtumas gaunamas taškuose, kur sintetatoriaus fazės triukšmą labiausiai įtakoja LSK kvantavimo triukšmas arba SVG savasis triukšmas. Fazės triukšmo skirtumas praleidžiamų dažnių juostos ribose gali atsirasti dėl netiksliai išmatuotos LSK skiriamosios gebos, o skirtumas už praleidžiamų dažnių juostos ribos gali atsirasti dėl SVG savojo fazės triukšmo aproksimacijos, kadangi (Pavlovic *et al.* 2011) nėra pateikta SVG triukšmo duomenų.

2.2 lentelė. Teorinio II-ojo tipo šeštos eilės visiškai skaitmeninio dažnio sintetatoriaus fazės triukšmo palyginimas su duomenimis, pateiktais (Pavlovic *et al.* 2011)

Table 2.2. Comparison of theoretical phase noise of sixths order type-II all digital frequency synthesiser to results, provided in (Pavlovic *et al.* 2011).

	$\mathcal{L}_{DS}(f)$, dBc/Hz, ties dažnio poslinkiu				
	1 kHz	10 kHz	100 kHz	1 MHz	10 MHz
(Pavlovic <i>et al.</i> 2011)	−90,39	−96,95	−90,71	−116,40	−137,00
Apskaičiuotas	−88,51	−92,70	−92,86	−121,64	−136,47
Skirtumas	−1,87	−4,24	2,15	5,23	−1,53

Iš 2.5 ir 2.6 paveikslų taip pat matyti, kad naudojant aukštesnės eilės dažnio sintetatorių galima tiksliau valdyti praleidžiamų dažnių juostą ir gauti didesnę atraminio signalo ir LSK įnešamo triukšmo slopinimo statumą. Iš 2.6 paveikslo matyti, kad už praleidžiamų dažnių juostos ribos LSK ir atraminio signalo triukšmas stipriai slopinamas ir DS triukšmas sutampa su SVG osciliatoriaus fazės triukšmu. Tuo tarpu, kai DS filtru naudojamos tik proporcinio ir integrinio perdavimo dalys, kaip parodyta 2.5 paveiksle, už praleidžiamų dažnių juostos iki 10 MHz dažnio poslinkio dar didelę įtaką turi atraminio signalo ir LSK triukšmas.

Skaitmeniniu būdu valdomas generatorius turi tenkinti ne tik fazės triukšmo reikalavimus, bet ir darbinio dažnio reikalavimus. Kadangi šio darbo objektas yra

daugiaujustis dažnio sintetizatorius ir jį sudarantys blokai, SVG generuojamo signalo dažnis turi būti iki 6 GHz ir jis turi būti perderinamas plačiame dažnių ruože. Tačiau nebūtinai visas dažnių perderinimo ruožas turi būti gaunamas SVG branduolio perderinimu – išėjimo signalo dažnių ruožui padidinti gali būti naudojami dažnio dalikliai (Jurgo *et al.* 2013). Todėl tarsime, kad SVG generuojamo signalo dažnis turi būti perderinamas bent 1 GHz ruože. Kaip matyti iš 2.2 lentelės, didelė dalis pristatomų DS yra pritaikyti vienam dažniui ir pasižymi siauru dažnio perderinimo ruožu arba yra žemadažniai. Trūksta sprendimų, įgalinančių taikyti SVG ir dažnio sintetizatorių daugiajuosčiams siųstuvams–imtuvams.

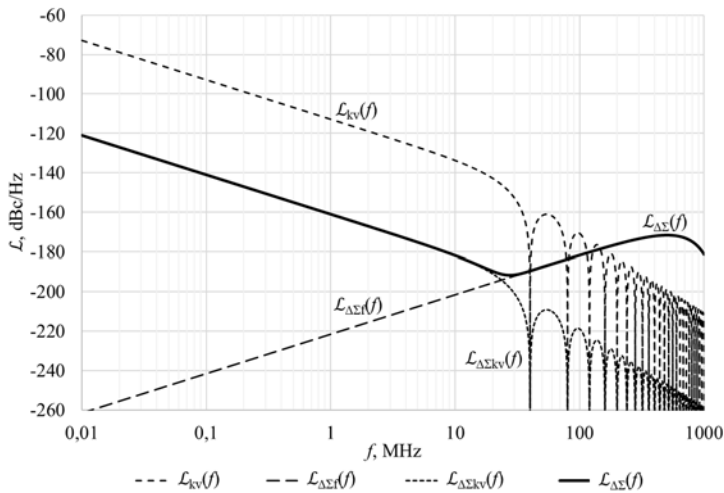
Iš šio poskyrio aptarimo, galima apibendrinti reikalavimus pagrindiniams daugiajuosčio dažnio sintetizatoriaus blokams:

- LSK skiriamoji geba turi būti mažesnė nei 12 ps, kad užtikrinti mažesnę nei -90 dBc/Hz fazės triukšmą sintetizatoriaus praleidžiamųjų dažnių juostos ribose, kai SVG generuojamo signalo dažnis yra 6 GHz;
- SVG fazės triukšmas už dažnio sintetizatoriaus praleidžiamųjų dažnių juostos turi būti mažesnis nei -120 dBc/Hz, kadangi šioje srityje SVG kuriamas triukšmas yra dominuojantis;
- SVG generuojamo signalo dažnis turi būti perderinamas plačiame dažnio ruože (bent 1 GHz);
- Skaitmeninis dažnio sintetizatoriaus filtras turi būti sudarytas iš proporcinės ir integrinės dalies bei papildomų BIR filtrų, kad tiksliau valdyti praleidžiamųjų dažnių juostą ir stipriau filtruoti LSK ir atraminio signalo triukšmą.

Atsižvelgiant į šiuos reikalavimus, sekančiuose poskyriuose yra nagrinėjami LSK skiriamosios gebos didinimo būdai, siūloma LSK struktūra, galinti išmatuoti laiko trukmę, mažesnę nei inverterio vėlinimo trukmė, ir sudaroma daugiajuosčio dažnio sintetizatoriaus struktūra. 3 skyriuje yra kuriami daugiajuosčio DS pagrindiniai blokai.

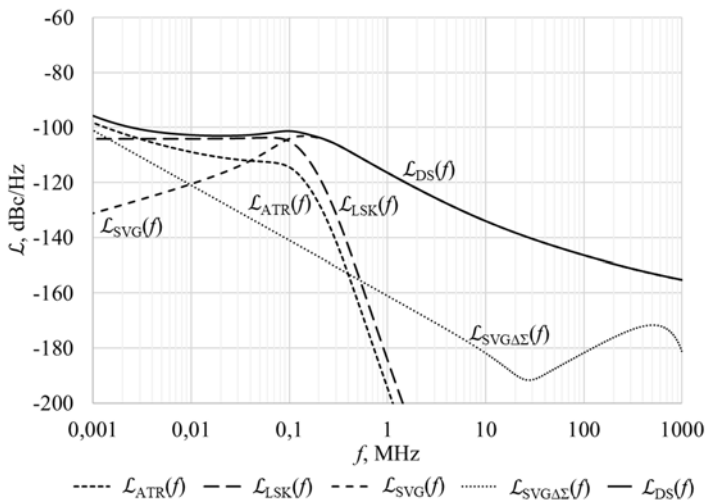
2.7 paveiksle yra parodytas suprojektuoto LC SVG kvantavimo ir $\Delta\Sigma$ formavimo triukšmas ir skirtingos jo dedamosios. Skaičiavimuose naudojamas maksimalus SVG generuojamo signalo dažnis, lygus 5,44 GHz, ir priimama, kad dažnio perderinimo žingsnis yra 50 kHz, atraminio signalo dažnis lygus 40 MHz, $\Delta\Sigma$ modulatorius taktuojamas SVG signalu, kurio dažnis padalintas iš 4, $\Delta\Sigma$ modulatoriaus skilčių skaičius lygus 8, $\Delta\Sigma$ modulatoriaus eilė – 2.

2.8 paveiksle yra pateiktas apskaičiuotas pasiekiamas DS fazės triukšmas, kai naudojami suprojektuoti LSK ir SVG integriniai grandynai. Skaičiavimuose naudojamas didžiausias SVG generuojamo signalo dažnis, lygus 5,44 GHz ir LSK skiriamoji geba, lygi 4 ps. Priimama, kad atraminio signalo dažnis lygus 40 MHz, dažnio perderinimo žingsnis 50 kHz, $\Delta\Sigma$ modulatorius taktuojamas SVG signalu, kurio dažnis padalintas iš 4, $\Delta\Sigma$ modulatorius yra 8 skilčių, filtro koeficientų reikšmės: $\alpha = 2^{-7}$, $\rho = 2^{-10}$, $\lambda_0 = \lambda_1 = \lambda_2 = \lambda_3 = 2^{-5}$.



2.7 pav. Teorinis pasiekiamas suprojektuoto skaitmeniniu būdu valdomo generatoriaus kvantavimo ir $\Delta\Sigma$ formavimo triukšmas

Fig. 2.7. Theoretical achievable quantization and $\Delta\Sigma$ shaping noise of designed digitally controlled oscillator



2.8 pav. Teorinis pasiekiamas visiškai skaitmeninio dažnio sintezatoriaus fazės triukšmas ir jo dedamosios, kai naudojami suprojektuoti laikinio skaitmeninio keitiklio ir skaitmeniniu būdu valdomo generatoriaus integriniai grandynai

Fig. 2.8. Theoretical achievable phase noise and its components of all digital frequency synthesiser, when designed time to digital converter's and digitally controlled oscillator's integrated circuits are used

Atraminio signalo savasis (osciliatoriaus) triukšmas yra aproksimuojamas lygtimi, atitinkančia plačiai taikomo Rakon osciliatoriaus RTX5032A fazės triukšmą (Rakon 2012):

$$\mathcal{L}_{\text{Osc,ATR}}(f) = \frac{10^{-6,72}}{f^3} + \frac{10^{-8,52}}{f^2} + \frac{10^{-11,33}}{f} + 10^{-15,71}. \quad (2.4)$$

Sukurto LC SVG fazės triukšmas, parodytas 3.14 paveiksle, kai generuojamo signalo dažnis nustatytas į didžiausią, yra aproksimuojamas taip:

$$\mathcal{L}_{\text{Osc,SVG}}(f) = \frac{10^{5,07}}{f^3} + \frac{10^{-0,29}}{f^2} + \frac{10^{-6,7}}{f} + 10^{-16}. \quad (2.5)$$

Kaip matyti iš 2.8 paveikslo, sintetatoriaus praleidžiamų dažnių juostoje galima pasiekti fazės triukšmą, mažesnį nei -100 dBc/Hz. Už praleidžiamų dažnių juostos ribos sintetatoriaus fazės triukšmas sutampa su SVG fazės triukšmu ir lygus $-116,45$ dBc/Hz ir $-134,02$ dBc/Hz atitinkamai ties 1 MHz ir 10 MHz dažnio poslinkiu nuo nešlio dažnio.

2.3. Laikinio skaitmeninio keitiklio skiriamosios gebos gerinimo būdai

Kaip žinoma iš pirmojo skyriaus, laikinis skaitmeninis keitiklis – tai įtaisas, suteikiantis laiko tarpui tarp dviejų signalų frontų skaitmeninę išraišką (Staszewski, Vemulapalli, *et al.* 2006). Jis dažnai naudojamas visiškai skaitmeninio dažnio sintetatoriaus fazės detektoriaus dalimi, kuri matuoja trupmeninę fazės skirtumo (klaidos) dalį.

Mažiausias laiko tarpas, kurį galima pamatuoti pačiu paprasčiausiu LSK, kuris yra paremtas inverterių vėlinimo linija, yra inverterio vėlinimo trukmė τ_{inv} , ir ši trukmė lygi LSK skiriamajai gebai:

$$t_{\text{res}} \equiv \tau_{\text{inv}}. \quad (2.6)$$

LSK išėjimas yra skaitmeninis, todėl jis kuria kvantavimo triukšmą, kuris įtakoja viso sintetatoriaus fazės triukšmą, kaip parodyta (1.41) išraiškoje. Iš šios išraiškos matyti, kad LSK kuriamas triukšmas priklauso nuo generuojamojo ir atraminio signalų dažnių bei LSK skiriamosios gebos. Generuojamojo ir atraminio signalų dažniai yra dažnio sintetatoriaus techninės užduoties (reikalavimų) parametrai. Todėl LSK kuriamą triukšmą galima sumažinti tik didinant jo skiriamąją gebą. Tai galima pasiekti dviem būdais: tobulinant KMOP integrinių grandynų (IG) gamybos technologiją arba tobulinant LSK struktūrą.

Inverterio vėlinimo trukmės priklausomybės nuo inverterį sudarančių tranzistorių matmenų bei apkrovos talpos modeliavimo rezultatai taikant 65 nm ir 40 nm KMOP integrinių grandynų gamybos technologijas pateikti 2.3 lentelėje. Modeliavimas buvo atliktas naudojant Cadence integrinių grandynų projektavimo įrangą. Tranzistorių užtūrų ilgiai L nustatyti minimalūs: taikytose 65 nm ir 40 nm technologijose minimalus užtūros ilgis atitinkamai lygus 60 nm ir 40 nm. Inverterio PMOP tranzistoriaus plotis yra dvigubai didesnis, nei NMOP tranzistoriaus plotis, t. y. $W_p = 2W_n$, todėl lentelėje yra pateikiama tik NMOP tranzistoriaus pločio ir užtūros ilgio santykis W_n/L . Naudota maitinimo įtampa 65 nm ir 40 nm technologijoje atitinkamai lygi 1,2 V ir 1,1 V.

2.3 lentelė. Inverterio vėlinimo trukmės priklausomybės nuo apkrovos talpos bei tranzistoriaus ilgio ir pločio santykio modeliavimo rezultatai taikant 65 ir 40 nm technologijas

Table 2.3. Modeling results of dependency of inverter's delay time on load capacitance and ratio of width and length of transistors in 65 and 40 nm technologies

C_L , fF	τ_{inv} , ps					
	$W_n/L = 66,67$		$W_n/L = 133,33$		$W_n/L = 266,67$	
	65 nm	40 nm	65 nm	40 nm	65 nm	40 nm
10	10,49	9,62	8,97	7,65	8,28	6,63
20	12,94	13,31	10,26	9,56	8,90	7,65
30	15,33	16,70	11,49	11,36	9,59	8,59
40	17,69	20,24	12,72	13,15	10,22	9,54
50	20,04	23,69	13,91	14,95	10,82	10,43
60	22,37	27,08	15,13	16,67	11,46	11,35
70	24,63	30,12	16,33	18,49	12,10	12,26
80	26,79	33,06	17,50	20,24	12,71	13,22
90	28,84	35,60	18,68	22,05	13,30	14,12
100	30,76	37,69	19,85	23,88	13,88	15,01

Kaip matyti iš 2.3 lentelės, kai inverterio apkrova C_L kinta nuo 10 fF iki 100 fF, inverterio vėlinimo trukmė kinta nuo 8,28 ps iki 30,76 ps taikant 65 nm technologiją ir nuo 6,63 ps iki 37,69 ps taikant 40 nm technologiją. Tokia inverterio vėlinimo trukmė, kaip aptarta praeitame poskyryje, ne visada užtikrins reikiamą LSK skiriamąją gebą ir ją atitinkantį įnešamo fazės triukšmo lygį. Todėl šiame poskyryje yra nagrinėjami LSK skiriamosios gebos didinimo būdai.

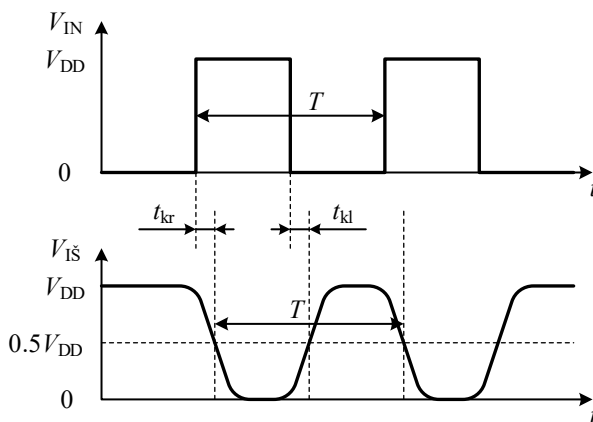
2.3.1. Technologinis laikinio skaitmeninio keitiklio skiriamosios gebos gerinimas

Technologinio LSK skiriamosios gebos didinimo esmė – tobulinti KMOP IG technologiją, siekiant sumažinti inverterių vėlinimo trukmę, kuri apibrėžiama kaip inverterio išėjimo signalo kylančiojo ir krentančiojo frontų vėlinimo trukmių vidurkis (Razavi 2013):

$$t_{\text{res}} = \frac{t_{\text{kl}} + t_{\text{kr}}}{2}, \quad (2.7)$$

čia t_{kl} ir t_{kr} – inverterio išėjimo signalo kylančio ir krentančio frontų vėlinimo trukmės.

Inverterio išėjimo signalo kylančiojo fronto vėlinimo trukmė t_{kl} apibrėžiama kaip laiko tarpas, per kurį inverterio išėjimo signalas pakyla nuo nulinės įtampos iki pusės maitinimo įtampos. Atitinkamai t_{kr} – laiko tarpas, per kurį inverterio išėjimo signalas nukrenta nuo maitinimo įtampos iki pusės maitinimo įtampos (2.9 pav.).



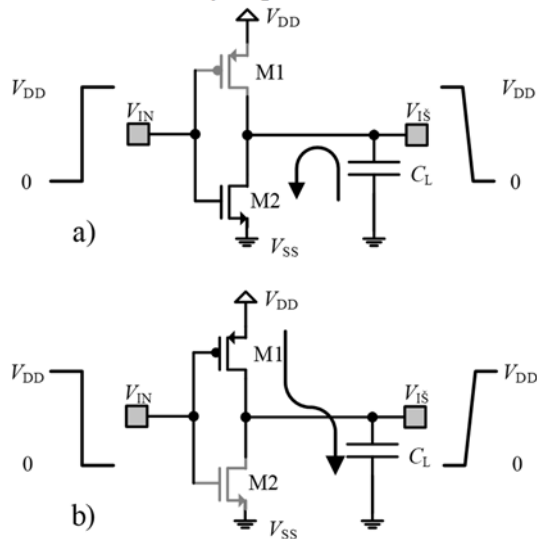
2.9 pav. Inverterio išėjimo signalo vėlinimo trukmė

Fig. 2.9. Delay of inverter's output signal

Krentančiojo fronto metu inverterio įėjimą veikia aukšto loginio lygio signalas (2.10 pav., a), todėl inverterį sudarantis NMOP tranzistorius yra soties būsenos, o PMOP tranzistorius – atkirtos būsenos. Tokiu atveju inverterio išėjimo talpa bus iškraunama per NMOP tranzistorių juo tekančia santakos-ištakos srove I_{Sn} , kuri apytiksliai gali būti išreikšta (Razavi 2013):

$$I_{\text{Sn}} \approx \frac{W_{\text{n}}}{2L_{\text{n}}} \mu_{\text{n}} C_{\text{ox}} (V_{\text{DD}} - V_{\text{tn}})^2, \quad (2.8)$$

čia W_n ir L_n – atitinkamai NMOP tranzistoriaus plotis ir ilgis, μ_n – NMOP tranzistoriaus krūvininkų judris, C_{ox} – NMOP tranzistoriaus užtūros oksido savitoji talpa, V_{tn} – NMOP tranzistoriaus atkirtos įtampa, V_{DD} – inverterio maitinimo įtampa.



2.10 pav. Inverterio apkrovos talpos iškrovimas ir įkrovimas esant aukštam (a) ir žemam (b) loginiam įėjimo signalo lygiui inverterio įėjime

Fig. 2.10. Discharge and charge of inverter's load capacitor when logic level of input signal is respectively high (a) and low (b)

Turint tranzistoriaus srovės išraišką (2.8) ir tariant, kad inverterio apkrovos talpa iškraunama iki pusės maitinimo įtampos, galima apskaičiuoti krentančiojo fronto vėlinimo trukmę:

$$t_{kr} \approx \frac{C_L V_{DD}}{\frac{W_n}{L_n} \mu_n C_{ox} (V_{DD} - V_{tn})^2}, \quad (2.9)$$

čia C_L – inverterio apkrovos talpa.

Analogiškai (2.8) formulei galima išvesti kylančiojo fronto metu apkrovos talpą įkraunančios PMOP tranzistoriaus srovės formulę (2.10 pav., b):

$$I_{Sip} \approx -\frac{W_p}{2L_p} \mu_p C_{ox} (-V_{DD} - V_{tp})^2, \quad (2.10)$$

čia W_p ir L_p – atitinkamai PMOP tranzistoriaus plotis ir ilgis, μ_p – PMOP tranzistoriaus krūvininkų judris, C_{ox} – PMOP tranzistoriaus užtūros oksido savitoji talpa, kuri apytikriai lygi NMOP tranzistoriaus oksido savitajai talpai, V_{tp} – PMOP tranzistoriaus atkirtos įtampa, V_{DD} – inverterio maitinimo įtampa.

Iš (2.10) apskaičiuojama kylančiojo fronto vėlinimo trukmė, laikant, kad apkrovos talpa įkraunama iki pusės maitinimo įtampos:

$$t_{kl} \approx \frac{C_L V_{DD}}{\frac{W_p}{L_p} \mu_p C_{ox} (-V_{DD} - V_{tp})^2}. \quad (2.11)$$

Pagal (2.7), (2.9) ir (2.11) formules laikant, kad PMOP ir NMOP tranzistorių užtūros oksidų savitosios talpos vienodos, ir manant, kad PMOP tranzistoriaus plotis yra dvigubai didesnis nei NMOP tranzistoriaus plotis, galima gauti bendrąją inverterio vėlinimo trukmės išraišką:

$$t_{res} \approx \frac{2C_L V_{DD} \mu_p (V_{DD} + V_{tp})^2 + C_L V_{DD} \mu_n (V_{DD} - V_{tn})^2}{4 \frac{W_n}{L} \mu_n \mu_p C_{ox} (V_{DD} - V_{tn})^2 (V_{DD} + V_{tp})^2}. \quad (2.12)$$

Gauta išraiška yra apytikrė, nes ją išvedant laikoma, kad NMOP ir PMOP tranzistoriai, kai per juos pradeda tekėti inverterio apkrovos talpą įkraunanti arba iškraunanti srovė, neišsima iš tosios režimo. Be to, taikant šią formulę neįvertinami trumpo kanalo efektai. Todėl (2.12) išraiška yra tinkama tik greitiems skaičiavimams – įvertinti, kaip technologiniai parametrai veikia vėlinimo trukmę. Norint apskaičiuotus rezultatus priartinti prie realių vėlinimo trukmių, gautą išraišką reikia padauginti iš papildomo daugiklio, kuris taikant 65 nm KMOP technologiją yra lygus:

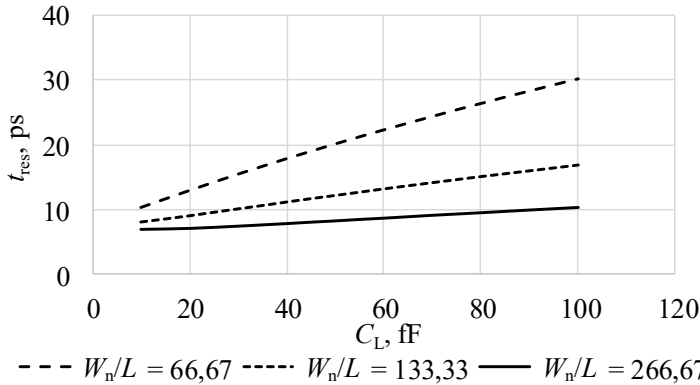
$$D = 5 - 0,6 \ln C_L, \quad (2.13)$$

čia C_L yra išreikštas ff.

Projektuodamas integrinį grandyną pagal konkrečią technologiją, projektuotojas negali keisti tranzistoriaus krūvininkų judrio, oksido savitosios talpos, atkirtos įtampos, kuri nedaug kinta, kai keičiami tranzistoriaus matmenys. Todėl pagal (2.12) išraišką, panaudojus daugiklį (2.13), apskaičiuojamos inverterių vėlinimo trukmės priklausomybės nuo tranzistoriaus ilgio ir pločio santykio (esant minimaliam užtūros ilgiui), apkrovos talpos ir maitinimo įtampos taikant 65 nm KMOP technologiją.

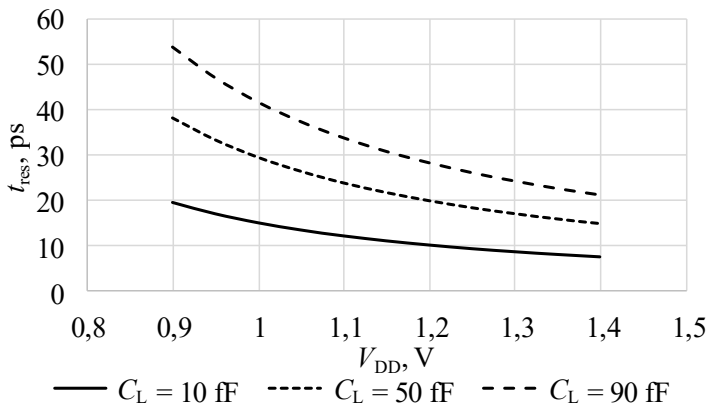
Apskaičiuotos inverterio vėlinimo trukmės priklausomybės nuo apkrovos talpos bei tranzistoriaus ilgio ir pločio santykio bei inverterio vėlinimo trukmės priklausomybė nuo maitinimo įtampos ir apkrovos talpos pateiktos 2.11 ir 2.12 paveiksluose. Visi atliekant skaičiavimus taikyti technologiniai parametrai yra

pateikti 2.4 lentelėje. Skaičiuojant taip pat įvertinama, kad LSK sudarančių inverterių apkrovos talpa negali būti lygi nuliui, nes inverterį apkrauna kitas prie jo prijungtas vėlinimo linijos inverteris.



2.11 pav. Inverterio vėlinimo trukmės priklausomybė nuo apkrovos talpos bei tranzistoriaus ilgio ir pločio santykio

Fig. 2.11. Dependency of inverter's delay time on load capacitance and ratio of width and length of transistors



2.12 pav. Inverterio vėlinimo trukmės priklausomybė nuo maitinimo įtampos ir apkrovos talpos

Fig. 2.12. Dependency of inverter's delay time on supply voltage and load capacitance

Iš 2.11 paveiksle pateiktų skaičiavimo rezultatų matyti, kad, esant 1,2 V maitinimo įtampai, o apkrovos talpai kintant nuo 10 fF iki 100 fF, inverterio vėlinimo trukmė gali kisti nuo 7 ps iki 30 ps.

Skaičiavimo rezultatai, pateikti 2.12 paveiksle, gauti, esant tranzistoriaus ilgio bei pločio santykiui W_n/L lygiam 66,67 ir maitinimo įtampai kintant nuo 0,9 V

iki 1,4 V. Iš 2.12 paveiksle pateiktų rezultatų matyti, kad inverterio vėlinimo trukmė gali kisti nuo 7,6 ps iki 54 ps.

2.4 lentelė. Skaičiavimams atlikti taikomi 65 nm technologijos parametrų reikšmės

Table 2.4. Values of parameters of 65 nm technology used for calculations

Parametras	Reikšmė		
L , nm	60		
W_n , μm	4	8	16
W_n/L	66,67	133,33	266,67
C_{OX} , mF/m^2	12,8		
C_L , fF	10	50	90
V_{tn} , mV	359,5		
V_{tp} , mV	-413,8		
μ_n , $\text{m}^2/(\text{Vs})$	0,0211		
μ_p , $\text{m}^2/(\text{Vs})$	0,0080		

Iš skaičiavimo rezultatų analizės išplaukia išvada, kad didinant tranzistorių ilgio ir pločio santykį bei maitinimo įtampą, inverterio vėlinimo trukmė mažėja ir LSK skiriamoji geba didėja. Tai vyksta dėl didėjančios tranzistoriais tekančios srovės, kuri greičiau įkrauna arba iškrauna inverterio apkrovos talpą. Didėjant apkrovos talpai LSK skiriamoji geba mažėja.

2.3.2. Laikinio skaitmeninio keitiklio struktūros tobulinimas

Projektuojant integrinius grandynus, dažnai dėl gamybos kainos, dėl projektuojamo grandyno suderinamumo su kitais integriniais grandynais ir jau sukurtais blokais arba dėl kitų priežasčių gali būti taikoma tik tam tikra IG gamybos technologija. Jeigu ją taikant įgyvendinamų LSK sudarančių inverterių vėlinimo trukmė negarantuoja reikiamos skiriamosios gebos ir triukšmo, apskaičiuoto pagal (1.41) išraišką, lygio, pasirenkama sudėtingesnė LSK struktūra. Šiame skyrelyje apžvelgiamos LSK struktūros, kurias taikant galima išmatuoti laiko tarpą, mažesnę už inverterio vėlinimo trukmę.

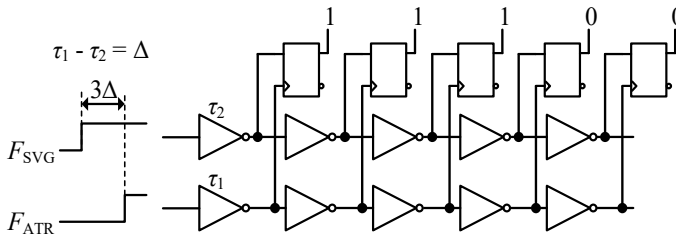
LSK – *Vernier* vėlinimo linijoje yra naudojamos dvi vėlinimo linijos, sudarytos iš vėlinimo elementų, turinčių skirtingas vėlinimo trukmes (2.13 pav.) (Ko *et al.* 2015). Per vieną liniją yra siunčiamas skaitmeniniu būdu valdomo generatoriaus išėjimo signalas, per kitą – atraminis signalas. Jei pirmą ir antrą vėlinimo

liniją sudarančių vėlinimo elementų vėlinimo trukmės atitinkamai lygios τ_1 ir τ_2 , tai tokio LSK skiriamoji geba yra lygi šių vėlinimo trukmių skirtumui:

$$t_{\text{res}} = \tau_1 - \tau_2 = \Delta. \quad (2.14)$$

Taigi, jei viena iš linijų yra sudaryta iš inverterių, turinčių mažiausią vėlinimo trukmę, tokio LSK skiriamoji geba yra mažesnė nei LSK – inverterių vėlinimo linijos.

Prie vėlinimo linijų atitinkamų elementų išėjimų yra prijungti trigeriai, kurių išėjimo signalo pobūdis priklauso nuo to, kokio signalo frontas atkeliavo pirmas – loginis „1“, jei atraminio signalo, arba loginis „0“, jei generuojamojo signalo. Kaip ir inverterių vėlinimo linijos atveju, gaunamas termometrinis kodas. Jį iškodavus, taške, kuriame trigerio išėjimas pakinta iš „1“ į „0“, gaunama informacija apie generuojamo ir atraminio signalų frontų skirtumą (fazės skirtumą).

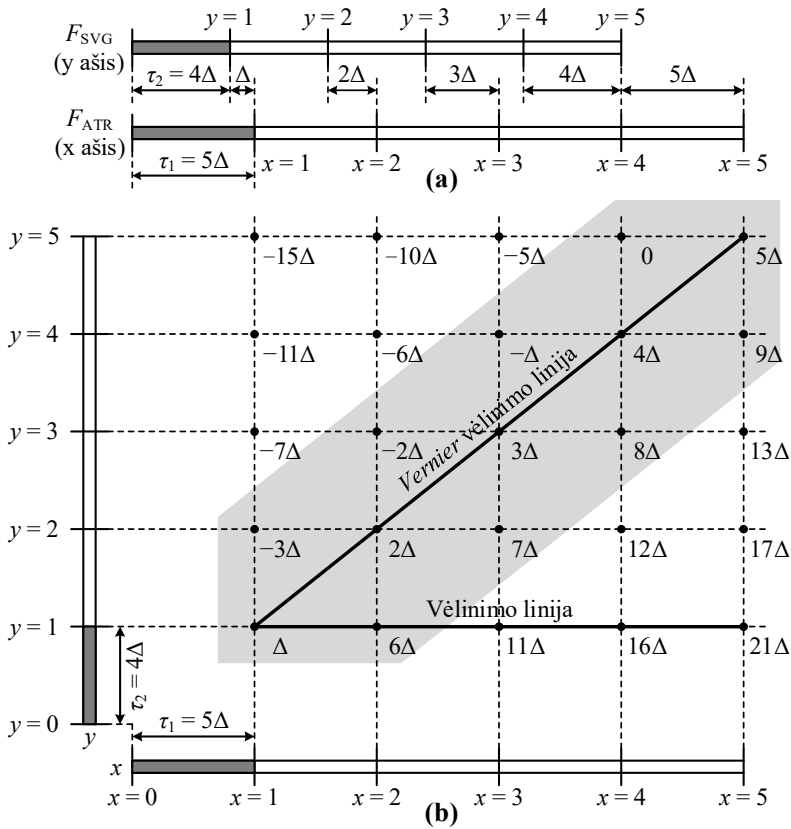


2.13 pav. Laikinis skaitmeninis keitiklis – Vernier vėlinimo linija

Fig. 2.13. Time to digital converter – Vernier delay line

Dviejų dimensijų (2D) Vernier vėlinimo linijos veikimas nuo įprastos Vernier vėlinimo linijos skiriasi tuo, kad laiko skirtumui tarp generuojamojo ir atraminio signalo gauti naudojami dviejų vėlinimo linijų elementai (2.14 pav., a) ir visos dviejų vėlinimo linijų elementų tarpusavio kombinacijos (2.14 pav., b), tarsi išdėstant dvi linijas dvimatėje plokštumoje X ir Y ašyse – gaunama Vernier plokštuma (Vercesi *et al.* 2010; Lu, Andreani, *et al.* 2012). Šioje plokštumoje taip pat galima atvaizduoti LSK – inverterių vėlinimo liniją (horizontali tiesė) ir klasikinę Vernier vėlinimo liniją (įstriža tiesė). Taigi toks 2D vėlinimo linijos aprašymas gali būti naudojamas kaip apibendrintas vėlinimo linijų aprašymas.

2D Vernier vėlinimo linijos skiriamoji geba yra lygi dviejų vėlinimo linijų elementų vėlinimo trukmių didžiausiam bendrajam dalikliui (DBD). Lyginant su įprasta Vernier vėlinimo linija, jei elementų vėlinimo trukmės yra 3Δ ir 5Δ , įprastos Vernier vėlinimo linijos skiriamoji geba būtų lygi $5\Delta - 3\Delta = 2\Delta$, o 2D Vernier vėlinimo linijos – Δ . Be to, tokio LSK įėjimo signalų (fazės klaidos) ruožas yra didesnis dėl padidėjusio tolygaus laiko kvantavimo ruožo pasiskirstymo: 2.14 paveiksle, b, parodyta, kad jis padidėjo nuo $\Delta-5\Delta$ iki $-3\Delta-9\Delta$.

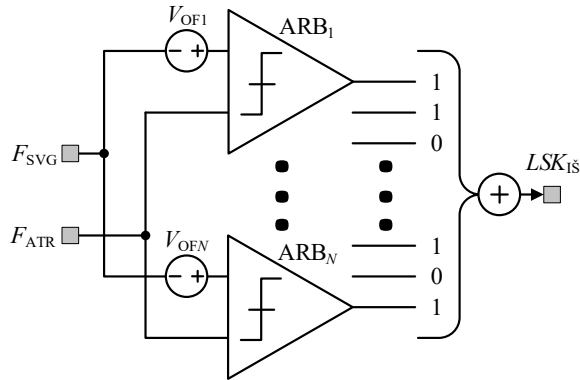


2.14 pav. Laikinis skaitmeninis keitiklis – Vernier vėlinimo linijos (a) ir 2D Vernier vėlinimo linijos (b) palyginimas

Fig. 2.14. Time to digital converter – Comparison of Vernier delay line (a) and 2D Vernier delay line (b)

Šio LSK trūkumas – sudėtingesnis įgyvendinimas, nes reikalinga sąlygiškai didelė palyginimo matrica. Be to, jai būdingi ir įprastos Vernier vėlinimo linijos trūkumai – reikalingas dviejų vėlinimo linijų elementų vėlinimo trukmių DBD Δ palaikymas ir linijų derinimas.

Stochastinio tipo LSK sudarytas iš N vienetų, lygiagrečiai sujungtų arbitrų (2.15 paveiksle pažymėtų ARB_N), fiksuojančių atraminio ir generuojamojo signalų frontus (Kratyuk *et al.* 2009; Samarah *et al.* 2013). Idealiu atveju kiekvienas arbitras sugeneruoja loginį „0“ arba „1“, priklausomai nuo to, kurio signalo frontas atkeliauja pirmas.



2.15 pav. Stochastinis laikinis skaitmeninis keitiklis

Fig. 2.15. Stochastic time to digital converter

Tačiau arbitrai veikia esant tam tikriems netikslumams, pasireiškiantiems dėl įvairių neidealių reiškinių. Arbitro išėjimo signalo nusistovėjimo trukmė ilgėja, kai laiko skirtumas tarp generuojamojo ir atraminio signalų frontų tampa mažas – pasireiškia metastabilumo efektas. Be to, dėl elektroninių įtaisų, sudarančių arbitrus, parametrų sklaidos kiekvienas arbitras įėjime turi tam tikrą įtampos poslinkį (2.15 paveiksle įtampos šaltiniai V_{OFN}). Dėl šio poslinkio arbitrų įėjimo signalų ribinės (suveikimo) įtampos vertės šiek tiek skiriasi. Turint didelį arbitrų skaičių, šios ribinės įtampos poslinkiai pasiskirsto pagal Gauso dėsnį esant standartiniam nuokrypiui σ_V . Įėjimo įtampos pokyčiai transformuojasi į įėjimo signalo laiko pokyčius. Todėl jie taip pat išsidėstę pagal Gauso dėsnį esant standartiniam nuokrypiui σ_T .

σ_V ir σ_T susiję $\sigma_T = \sigma_V/S$, čia S yra įėjimo signalo fronto statusas. Dėl šių neidealumų visų arbitrų išėjimai nepasikeis vienu metu ir jie nebūtinai bus vienodi. Susumavus visų arbitrų išėjimų signalus, gaunama informacija apie fazių skirtumą.

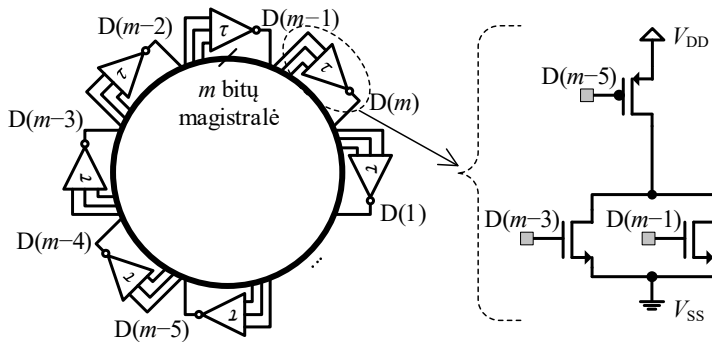
Stochastinio LSK skiriamosios gebos išraiška:

$$t_{\text{res}} = \frac{\sqrt{2\pi}\sigma_T}{N} = \frac{\sqrt{2\pi}\sigma_V}{N \cdot S}, \quad (2.17)$$

čia: N – arbitrų skaičius, S – įėjimo signalo fronto statusas, σ_V ir σ_T atitinkamai įtampos ir laiko nuokrypių standartiniai nuokrypiai.

Taigi didinti stochastinio LSK skiriamąją gebą galima didinant arbitrų skaičių, signalo fronto statumą ir mažinant elementų sklaidą. Jo trūkumas – mažas įėjimo signalų fazės skirtumo ruožas.

Žiediniai generatoriai gali būti naudojami laikiniam skaitmeniniam keitikliui sudaryti (2.16 pav.) (Cheng *et al.* 2016; Cadeddu *et al.* 2017).

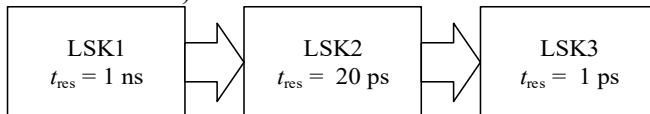


2.16 pav. Laikinis skaitmeninis keitiklis, paremtas daugelio kelių žiediniu generatoriumi
Fig. 2.16. Time to digital converter based on multipath ring oscillator

Tokiu atveju turi būti naudojamas daugiakelis (angl. *multipath*) žiedinis generatorius. Jo vėlinimo elementų įėjimai sujungiami su kelių vėlinimo elementų išėjimais, pvz., 2.16 paveiksle parodyto vėlinimo elemento PMOP tranzistorius sujungtas su penktojo prieš jį einančio vėlinimo elemento išėjimu, o NMOP tranzistoriai sujungti su atitinkamai trečiojo ir pirmojo prieš jį esančio vėlinimo elemento išėjimu. Toks jungimas leidžia paankstinti vėlinimo elemento persijungimo laiką.

LSK, paremto žiediniu generatoriumi, skiriamoji geba gali būti padidinama 5–6 kartus, lyginant su LSK – inverterių vėlinimo linija.

Laikiniai skaitmeniniai keitikliai gali būti sudaromi iš kelių LSK, kurių skiriamoji geba (mažiausia išmatuojama laiko trukmė) yra skirtinga (2.17 pav.) (Chu *et al.* 2016; Park *et al.* 2017).

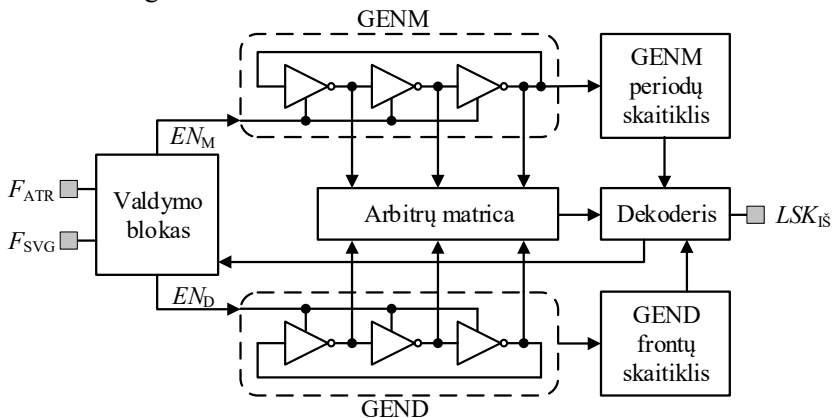


2.17 pav. Daugiapakopis laikinis skaitmeninis keitiklis
Fig. 2.17. Multistage time to digital converter

Pirmųjų LSK pakopų skiriamoji geba yra mažiausia, paskutiniųjų – didžiausia. Pavyzdžiui, LSK – vėlinimo linija sklindančio signalo suvėlinta versija, kurios frontas yra arčiausiai atraminio signalo fronto, gali būti jungiama į stochastinio LSK įėjimą (Samarah, Carusone 2012). Tokiu atveju gaunama skiriamoji geba, lygi stochastinio LSK skiriamajai gebai, ir LSK – vėlinimo linijos įėjimo signalų fazės skirtumo ruožas.

2.4. 2D Vernier žiedinio laikinio skaitmeninio keitiklio modelis

Kaip buvo minėta anksčiau, naudojant dviejų dimensijų (2D) Vernier LSK galima išmatuoti laiko trukmę, mažesnę nei inverterio vėlinimo trukmė. Tokio LSK trūkumo – reikiamo didelio arbitrų skaičiaus ir ilgų vėlinimo linijų norint išmatuoti ilgą laiko trukmę – galima išspręsti vėlinimo linijas uždariant ratu, t. y. vėlinimo linijas keičiant žiediniais generatoriais (Lu *et al.* 2016). Šiame poskyryje aptarsime siūlomą 2D Vernier laikinio skaitmeninio keitiklio struktūrą, kurios pagrindas yra žiediniai generatoriai.



2.18 pav. Siūlomo 2D Vernier žiedinio laikinio skaitmeninio keitiklio struktūra.

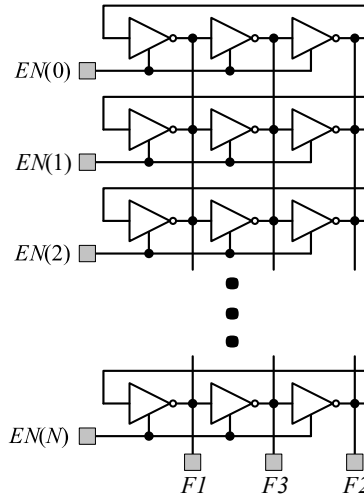
GENM – mažesnio dažnio generatorius, GEND – didesnio dažnio generatorius

Fig. 2.18. Structure of proposed 2D Vernier time to digital converter based on gated ring oscillators. GENM – lower frequency oscillator, GEND – higher frequency oscillator

Siūlomo LSK struktūra yra pateikta 2.18 paveiksle. Ją sudaro mažesnio dažnio generatorius GENM, didesnio dažnio generatorius GEND, mažesnio dažnio generatoriaus periodų skaitiklis, didesnio dažnio generatoriaus frontų skaitiklis, arbitrų matrica, dekodeeris ir valdymo blokas. Palyginti su (Lu *et al.* 2016), šiame LSK yra naudojami kitokios struktūros žiediniai generatoriai ir fazės aptikimo būdas, kas įgalina siūlomą LSK modelį įgyvendinti VHDL aparatūros programavimo kalba. Toliau detaliau aptarsime LSK sudarančius blokus, veikimą ir modeliavimo rezultatus.

Mažesnio ir didesnio dažnio žiediniai generatoriai yra vienodi. Jie sudaryti iš N lygiagrečiai sujungtų trijų pakopų žiedinių inverterinių generatorių (2.19 pav.). Jų dažnis ir kartu pakopos vėlinimo trukmė yra keičiami įjungiant arba išjungiant atskiras generatoriaus sekcijas. Generatoriaus dažnis didėja, o pakopos vėlinimo trukmė mažėja, kai įjungiamas didesnis generatoriaus sekcijų skaičius ir atvirkščiai.

čiai, generatoriaus dažnis mažėja, o pakopos vėlinimo trukmė didėja, kai įjungiamas mažesnis sekcijų skaičius. Taigi, abiejų generatorių skirtingi dažniai gaunami įjungiant skirtingą skaičių generatoriaus sekcijų.

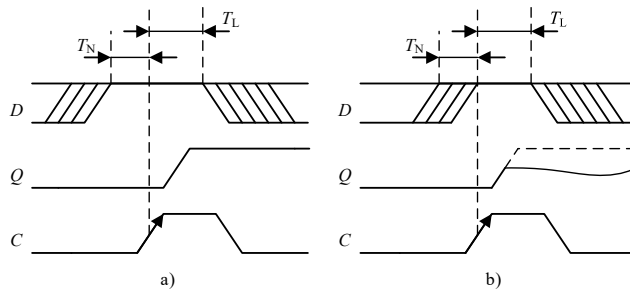


2.19 pav. Žiedinio generatoriaus struktūra
Fig. 2.19. Structure of gated ring oscillator

Įjungti žiediniai generatoriai patys generuoja periodinį signalą. Tačiau šiuo atveju generatorius yra įjungiamas tik kai gaunamas atraminio arba DS generuojamo signalo kylantis frontas ir žiedinis generatorius traktuojamas begaline vėlinimo linija, kadangi paskutiniojo inverterio išėjimas yra sujungtas su pirmojo inverterio įėjimu. LSK išėjimui apskaičiuoti, reikia žinoti, kiek vėlinimo elementų (generatoriaus pakopų) perėjo signalas. Tam yra naudojami periodų skaitikliai, skaičiuojantys generatoriaus periodus (apsisukimus) ir frontų skaitikliai, skaičiuojantys generatoriaus frontus vieno periodo intervale. Iš abiejų skaitiklių galima apskaičiuoti bendrą pereitų vėlinimo elementų skaičių.

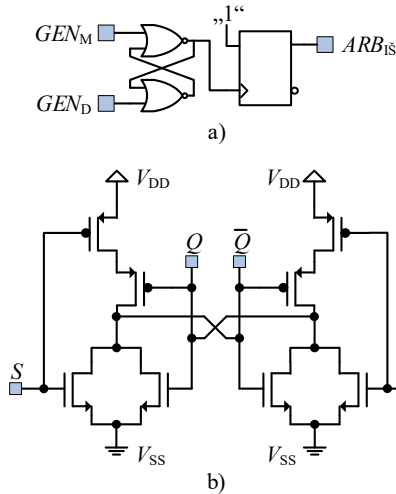
Laiko trukmei tarp LSK įėjimo signalų kylančių frontų matuoti yra naudojami tik LSK generatorių signalų kylančios frontai. Kadangi signalas invertuojamas po kiekvienos pakopos, skaičiavimui naudojami frontai (fazės) išsidėstę ne paeiliui, t. y. $F1$, $F3$, $F2$. Taip pat, reikia pastebėti, kad vieną loginę vėlinimo pakopą sudaro du fiziniai inverteriai.

Arbitrais laikiniuose skaitmeniniuose keitikliuose dažnai yra naudojami frontu valdomi D tipo trigeriai. Tačiau, kaip yra žinoma, taisyklingam frontu valdomo trigerio veikimui, duomenų signalas turi būti pastovus trigerio nustatymo (T_N) ir laikymo (T_L) intervaluose. Jei duomenų signalas pakinta šiame laiko intervale, trigeris gali pereiti į metastabiliąją būseną, kai jo išėjimas gali nusistovėti į bet kurią būseną arba net likti ties tarpine reikšme (2.20 pav.).



2.20 pav. Metastabilumas D tipo frontu valdomame trigeryje: taisyklingas veikimas (a), ir trigerio metastabilioji būseną (b)

Fig. 2.20. Metastability in D type flip-flop: correct operation (a) and metastable state of flip-flop (b)

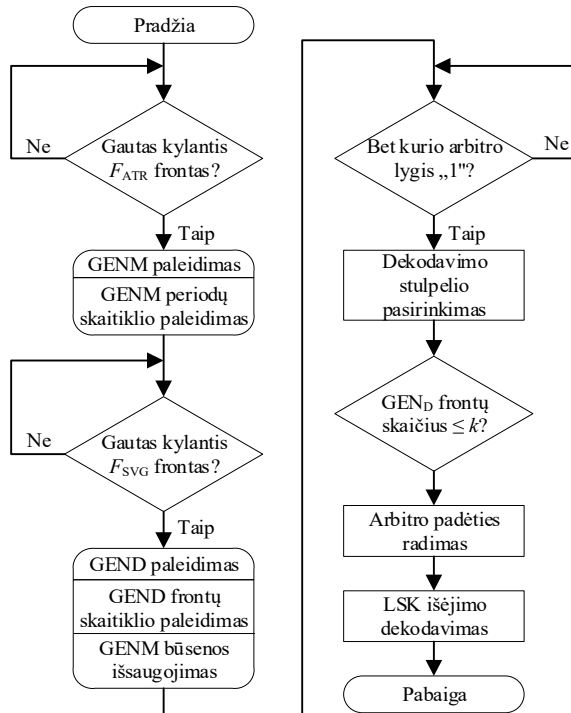


2.21 pav. Arbitro struktūra (a) ir SR lygiu valdomas trigerys iš 2ARBA-NE loginių elementų (b)

Fig. 2.21. Structure of the arbiter (a) and SR latch made of 2NOR gates (b)

Metastabilumo langui (laiko trukmei $T_N + T_L$) sumažinti, arbitru naudojami lygiu valdomi SR trigeriai, kurių tiesioginis išėjimas yra naudojamas D tipo frontu valdomo trigerio taktavimo signalu (2.21 pav., a) (Lu, Liscidini, *et al.* 2012). D tipo frontu valdomo trigerio metastabilumas pašalinamas jo duomenų įėjimo signalą pastoviai įjungus į aukštą loginį lygį, o SR trigerys yra frontu valdomas, todėl, net kai dviejų įėjimo signalų frontai yra arti vienas kito, šis trigerys nusistovės į fiksuotą reikšmę. Be to, dėl simetriškos struktūros SR trigerys, sudarytas iš 2ARBA-NE arba IR-NE loginių elementų, vienodai apkrauna abu generatorius (2.21 pav., b). Pastebėjime, kad D tipo fronto valdymo trigerys reikia nustatyti į

pradinę reikšmę prieš pradedant matavimą, nes jo išėjimo signalas pats negali pereiti į žemo loginio lygio būseną, kadangi jo duomenų įėjimo signalas pastovus, įjungtas į aukštą loginį lygį.



2.22 pav. Siūlomo laikinio skaitmeninio keitiklio valdymo algoritmas

Fig. 2.22. Control algorithm of proposed time to digital converter

LSK veikimas. Siūlomo LSK valdymo algoritmas yra parodytas 2.22 paveiksle. LSK kompleksiskumui supaprastinti ir taupyti IG plotą, jei LSK yra sintezuojamas, LSK matuoja tik teigiamas laiko trukmes, t. y. tokias, kai atraminis signalas atkeliauja pirmas. Kita vertus, neigiamos laiko trukmės atitinka ilgas teigiamas laiko trukmes. Taigi, matavimo pradžioje LSK laukia kylančio atraminio signalo fronto. Kai jis gaunamas, įjungiamas mažesnio dažnio generatorius ir jo periodų skaitiklis bei atjungiamas LSK atraminio signalo įėjimo prievadas. Po to yra laukiamas generuojamo signalo kylantis frontas ir kai jis gaunamas, išsaugoma mažesnio dažnio generatoriaus pozicija (signalų lygiai po kiekvieno generatoriaus inverterio), įjungiamas didesnio dažnio generatorius ir jo frontų skaitiklis. Kai abu generatoriai paleisti, yra tikrinamos arbitrų išėjimų būsenos. Kai bent vieno arbitro išėjimo būseną pakinta į aukštą loginį lygį, yra ieškoma arbitro pozicija ir priklausomai nuo jos yra dekoduojamas LSK išėjimo signalas. Po to, visi skaitikliai yra nustatomi į pradinę būseną, abu LSK įėjimai yra įjungiami ir LSK

laukia naujos LSK įėjimo signalų frontų poros. Toks veikimas leidžia išvengti sudėtingo fazės detektoriaus, aprašyto (Lu *et al.* 2016; Lu *et al.* 2013), naudojimo LSK įėjime.

Ypatingas 2D *Vernier* atvejis gaunamas, kai dviejų generatorių pakopų (arba vėlinimo linijas sudarančių inverterių) vėlinimo trukmės yra susietos tokia lygčių sistema (Lu *et al.* 2016):

$$\begin{cases} t_{\text{res}} = \Delta = \tau_1 - \tau_2; \\ \tau_1 = k \cdot \Delta; \\ \tau_2 = (k - 1) \cdot \Delta; \end{cases} \quad (2.16)$$

čia τ_1 ir τ_2 yra atitinkamai mažesnio ir didesnio dažnio generatoriaus pakopų vėlinimo trukmės, $\tau_1 > \tau_2$. Koeficientas k turi būti parenkamas priklausomai nuo turimų τ_1 ir τ_2 reikšmių, kad būtų teisinga ši lygčių sistema.

Tokiu atveju 2D *Vernier* LSK skiriamoji geba yra lygi 1D *Vernier* LSK, bet gauname nuoseklią LSK išėjimo laiko atskaitų plokštumą, kurios vertės apskaičiuojamos:

$$LSK_{\text{IS}} = k \cdot X - (k - 1) \cdot Y, \quad (2.17)$$

čia X ir Y yra laiko atskaitų plokštumos koordinatės, nusakantios kiek atitinkamai mažesnio ir didesnio dažnio generatoriaus pakopų nuskrido signalas.

Apskaičiuotos LSK išėjimo atskaitų plokštumos dalis, kai koeficientas k yra lygus 10, o τ_1 ir τ_2 atitinkamai lygūs 10 ps ir 9 ps, parodyta 2.23 paveiksle. GEN_{MP} ir GEN_{DP} yra atitinkamai mažesnio ir didesnio dažnio žiedinio generatoriaus periodų (apsisukimų) skaičius. GEN_{MF} ir GEN_{DF} yra atitinkamai mažesnio ir didesnio dažnio žiedinio generatoriaus frontų skaičius viename periode. Paveiksle šviesiai pilkai pažymėta dalis naudojama LSK išėjimui skaičiuoti. Tamsiai pilkai pažymėta dalis yra nenaudojama skaičiavimams – tai neigiamų laiko trukmių dalis, kuri praktiškai nėra matuojama. Baltai pažymėta plokštumos dalis gali būti naudojama LSK išėjimui skaičiuoti, jei reikia nustatyti kitokią koeficiento k reikšmę, pvz.: jei $k = 15$, šviesiai pilka plokštumos dalis pirmoje įstrižainėje kiltų iki 15, perskaičiuota antra įstrižainė įgautų reikšmes nuo 16 iki 30, trečia įstrižainė – nuo 31 iki 45 ir t.t.

Vienas iš pagrindinių uždavinių, kurį reikia išspręsti žiediniais generatoriaus paremtoje 2D *Vernier* LSK struktūroje, yra išėjimo signalo dekodavimas. Arbitro išėjimo signalo loginis lygis pakis į aukštą, kai arbitro įėjimas, prijungtas prie GEND pakopos bus aukšto loginio lygio ir kai antras arbitro įėjimas, prijungtas prie GENM pakopos bus žemo loginio lygio. Kadangi arbitrai 2D struktūroje yra sujungti tarp visų abiejų žiedinių generatorių pakopų kombinacijų, net pirmas kylantis GEND frontas perjungs vieno ar dviejų arbitrų išėjimus į aukštą loginį lygį.

Taip įvyksta, nes bet kuriuo laiko momentu, trijų pakopų žiediniame generatoriuje, signalo lygis po vienos arba dviejų pakopų yra žemo loginio lygio (tai matosi 2.25 paveiksle, pateiktame sekančiame poskyryje). Dėl šios priežasties, siūlomas LSK, naudojant 2D *Vernier* struktūrą, negali matuoti laiko trukmės, mažesnes nei sandauga koeficiento k ir LSK sudarančių žiedinių generatorių pakopų vėlinimo trukmių skirtumo Δ , ir reikia įvertinti ar aukštas arbitro išėjimo signalo lygis yra teisingas. Pvz., šiuo atveju, kai $k = 10$ ir $\Delta = 1$ ps, jei įėjimo laiko trukmė yra mažesnė arba lygi 10 ps, arbitras įjungtas tarp pirmos GEND pakopos ir antros GENM pakopos, fiksuos aukštą lygį po pirmo kylančio GEND fronto, kadangi jis visada lenks antrąjį GENM frontą ir bus apskaičiuota neteisinga išėjimo signalo reikšmė, lygią 11 ($X = 2$, $Y = 1$ vieta 2.23 paveiksle). Ši problema išsprendžiama išsaugant arbitrų būseną po pirmojo GEND fronto, kuri atitinka GEN_{MF} reikšmę 2.23 paveiksle. Iš šios reikšmės ir GENM periodų skaičiaus (GEN_{MP}) galima apskaičiuoti bendrąjį mažesniojo dažnio generatoriaus pakopų skaičių, per kurį nusklando signalas – koordinatę X . Po to arbitrų tikrinimas yra atliekamas 1D *Vernier* tvarka: einant įstrižai į viršų *Vernier* plokštuma, bet tik vienoje įstrižainėje, kuri prasideda užfiksuota koordinatė X .

GEN_{DP}	GEN_{DF}	Y																
4	3	15	-125	-115	-105	-95	-85	-75	-65	-55	-45	-35	-25	-15	-5	5	15	
	2	14	-116	-106	-96	-86	-76	-66	-56	-46	-36	-26	-16	-6	4	14	24	
	1	13	-107	-97	-87	-77	-67	-57	-47	-37	-27	-17	-7	3	13	23	33	
3	3	12	-98	-88	-78	-68	-58	-48	-38	-28	-18	-8	2	12	22	32	42	
	2	11	-89	-79	-69	-59	-49	-39	-29	-19	-9	1	11	21	31	41	51	
	1	10	-80	-70	-60	-50	-40	-30	-20	-10	0	10	20	30	40	50	60	
2	3	9	-71	-61	-51	-41	-31	-21	-11	-1	9	19	29	39	49	59	69	
	2	8	-62	-52	-42	-32	-22	-12	-2	8	18	28	38	48	58	68	78	
	1	7	-53	-43	-33	-23	-13	-3	7	17	27	37	47	57	67	77	87	
1	3	6	-44	-34	-24	-14	-4	6	16	26	36	46	56	66	76	86	96	
	2	5	-35	-25	-15	-5	5	15	25	35	45	55	65	75	85	95	105	
	1	4	-26	-16	-6	4	14	24	34	44	54	64	74	84	94	104	114	
0	3	3	-17	-7	3	13	23	33	43	53	63	73	83	93	103	113	123	
	2	2	-8	2	12	22	32	42	52	62	72	82	92	102	112	122	132	
	1	1	1	11	21	31	41	51	61	71	81	91	101	111	121	131	141	
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	X
			1	2	3	1	2	3	1	2	3	1	2	3	1	2	3	GEN_{MF}
			0			1			2			3			4			GEN_{MF}

2.23 pav. 2D Vernier laikinio skaitmeninio keitiklio išėjimo signalo apskaičiavimo plokštuma

Fig. 2.23. Output signal calculation plane of 2D *Vernier* time to digital converter

Kaip buvo aptarta anksčiau, teisinga koeficiento k reikšmė turi būti parinkta, kad būtų tenkinama (2.16) lygčių sistema. Koeficientas k parodo, kad žemesnio dažnio generatoriaus $k-1$ pakopų vėlinimo trukmė turi būti lygi didesnio dažnio

generatoriaus k pakopų vėlinimo trukmei. Todėl abiejų generatorių pakopų skaitikliai gali būti naudojami teisingai k koeficiento reikšmei (ir jai pasiekti reikiamam abiejų generatorių įjungtų sekcijų skaičiui N_{OSC}) nustatyti.

Matavimo pradžioje (pvz., tik įjungus LSK) aukštesnio dažnio generatoriaus įjungtų sekcijų skaičius N_{OSC} gali būti nustatomas į didžiausią įmanomą reikšmę N_{OSCD} , kadangi, kaip matysime sekančiame poskyryje, generatoriaus pakopos vėlinimo trukmės (ir dažnio) žingsnis, sutampantis su LSK skiriamąja geba, mažėja esant didesniai įjungtų sekcijų skaičiui. N_{OSC} mažesnio dažnio generatoriui gali būti nustatomas į $N_{OSCD}-1$. Po to abu generatoriai turi būti paleisti ir jų skaitikliai turi skaičiuoti per kiek generatorių pakopų nuskrido signalas (frontas). Kai didesnio dažnio generatoriaus pakopų skaitiklis pasiekia nustatytą k reikšmę, turi būti tikrinamas mažesnio dažnio generatoriaus pakopų skaitiklio reikšmė:

- jei ji yra lygi $k-1$, teisinga N_{OSC} reikšmė yra nustatyta abiemis generatoriams;
- jei ji yra lygi k – generatoriaus derinimo žingsnis yra per mažas nustatytai k reikšmei. Mažesnio dažnio generatoriaus N_{OSC} reikšmė turi būti sumažinta vienetu ir matavimas turi būti pakartotas. Jei po pakartotinio matavimo skaitiklio reikšmė sumažėja iki $k-2$, N_{OSC} reikšmė didesnio dažnio generatoriui turi būti sumažinta vienetu ir matavimas turi būti pakartotas. Taip pat, koeficientas k gali būti padidintas, kadangi, kaip matyti iš (2.16) sistemos, aukštesnė k reikšmė reikalinga esant mažesniai derinimo žingsniui, kai pakopos vėlinimo trukmė yra pastovi;
- jei ji yra lygi $k-2$ – derinimo žingsnis yra per didelis nustatytai k reikšmei. Koeficientas k turi būti padidintas ir matavimas turi būti pakartotas.

Po pradinio koeficiento k nustatymo, matavimai turi būti pakartoti padidinus laiko trukmę, kad patvirtinti nustatytą k reikšmę. Pvz., aukštesnio dažnio generatoriaus pakopų skaitiklis gali skaičiuoti iki $4 \times k$. Tokiu atveju reikia tikrinti ar žemesnio dažnio generatoriaus pakopų skaitiklio reikšmė lygi $4 \times (k-1)$.

Sintezuotų žiedinių generatorių pakopų vėlinimo trukmėms derinti papildomai gali būti taikomas metodas, aprašytas (Park *et al.* 2011). Šio metodo esmė yra automatinės sintezės, talpinimo ir trasavimo nereguliarumo išnaudojamas, kai skirtingos sekcijos turi skirtingą indelį prie bendros pakopos srovės, dėl ko gaunamas skirtingas pakopos vėlinimo trukmės derinimo žingsnis. Tai reiškia, kad skirtingas generatoriaus dažnis ir atitinkama pakopos vėlinimo trukmė gali būti gaunami įjungtus vienodą skaičių generatoriaus sekcijų, priklausomai nuo sekcijos padėties integrinio grandyno topologijoje.

Reikia pastebėti, kad neteisinga koeficiento k reikšmė įneša netiesiškumą, kai LSK dirba 2D *Vernier* tvarka, t. y. kai matuojama ilga įėjimo laiko trukmė. Kai įėjimo laiko trukmė yra maža ir LSK veikia 1D *Vernier* tvarka, k koeficiento reikšmė neturi įtakos.

Dar vienas 2D *Vernier* LSK privalumas – greičiau apskaičiuojamas išėjimo signalas, lyginant su 1D struktūra. Siūlomos struktūros LSK rezultato apskaičiavimo trukmę T_{REZ2D} galime išreikšti taip:

$$T_{\text{IN}} + \tau_2 \leq T_{\text{REZ2D}} \leq T_{\text{IN}} + k \cdot \tau_2, \quad (2.18)$$

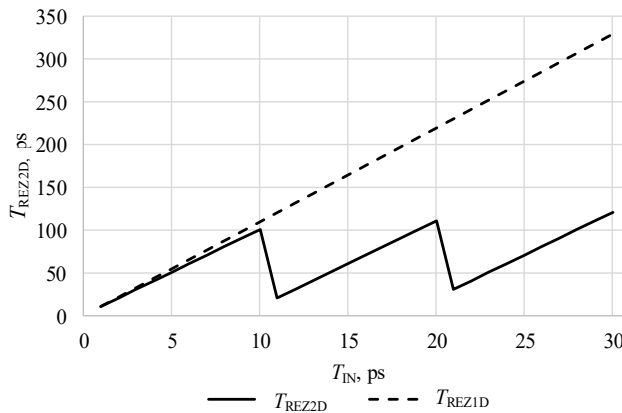
čia T_{IN} – LSK įėjimo laiko trukmė.

Kaip matyti iš (2.18) ir 2.23 paveikslo, siūlomos struktūros LSK rezultato apskaičiavimo trukmė netiesiškai priklauso nuo įėjimo laiko trukmės T_{IN} . Maksimali laiko trukmė, per kurią gaunamas rezultatas, yra lygi $T_{\text{IN}} + k \cdot \tau_2$, t. y. nuo generuojamo signalo fronto gavimo momento, šis signalas turi nusklisti per k didesnio dažnio generatoriaus pakopas.

1D *Vernier* LSK rezultatas gaunamas po:

$$T_{\text{REZ1D}} = T_{\text{IN}} + \frac{T_{\text{IN}}}{\Delta} \cdot \tau_1, \quad (2.19)$$

čia T_{IN} – LSK įėjimo laiko trukmė.

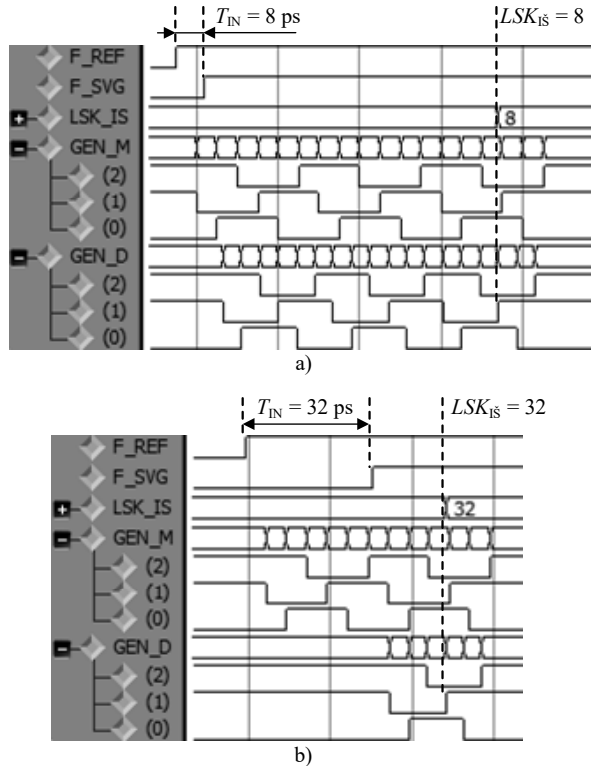


2.24 pav. Rezultato apskaičiavimo trukmės priklausomybė nuo įėjimo laiko trukmės siūlomoje 2D LSK struktūroje ir 1D *Vernier* struktūroje

Fig. 2.24. Output calculation time dependency on input time interval of proposed 2D time to digital converter and 1D *Vernier* time to digital converter

Rezultato apskaičiavimo trukmės priklausomybė nuo įėjimo laiko trukmės siūlomoje 2D *Vernier* LSK struktūroje ir 1D *Vernier* LSK struktūrose pateiktas 2.24 paveiksle. Jei $\tau_1 = 10$ ps, $\tau_2 = 9$ ps ir laiko trukmė tarp įėjimo signalų frontų yra 21 ps, iš (2.18) ir (2.19) gauname, kad naudojant siūlomos struktūros LSK rezultatas bus gautas po 30 ps, o 1D *Vernier* LSK rezultatas bus apskaičiuotas tik po 231 ps. Taip yra todėl, kad 1D *Vernier* atveju arbitrai fiksuoja signalų būsenas tik tarp atitinkamų generatoriaus (arba vėlinimo linijos) pakopų. Per vieną generatoriaus pakopą laiko trukmė tarp atraminio ir generuojamo signalų frontų yra

sumažinama Δ ps. Taigi, po generuojamo signalo fronto gavimo, signalai turi nusklsti per T_{IN}/Δ mažesnio dažnio generatoriaus pakopų, kad generuojamo ir atraminio signalų frontai susilygintų.



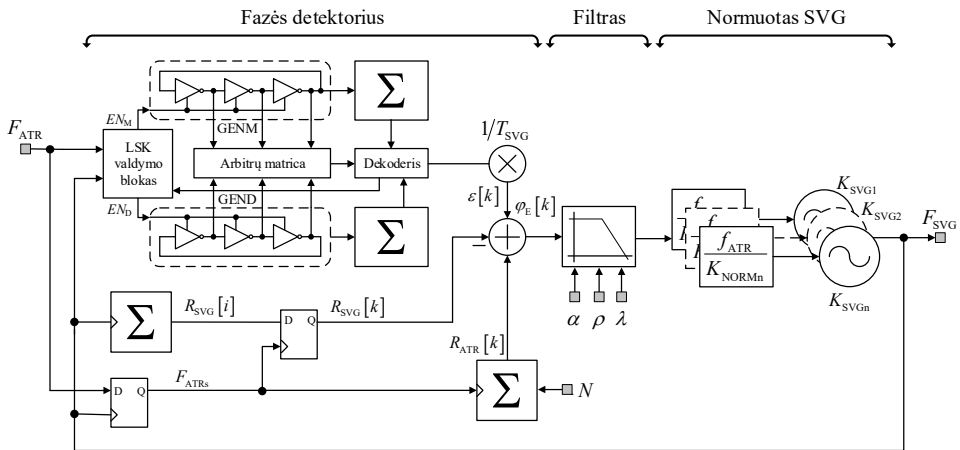
2.25 pav. 2D Vernier laikinio skaitmeninio keitiklio modeliavimo rezultatai, kai τ_1 ir τ_2 atitinkamai lygūs 10 ps ir 9 ps, o T_{IN} lygus 8 ps (a) ir 32 ps (b)

Fig. 2.25. Modeling results of 2D Vernier time to digital converter when τ_1 ir τ_2 respectively equal to 10 ps and 9 ps and T_{IN} is equal to 8 ps (a) ir 32 ps (b)

LSK buvo modeliuojamas naudojant ModelSim programinę įrangą. 2.25 paveiksle yra pateikti modeliavimo rezultatai ir pagrindiniai LSK signalai, kai τ_1 ir τ_2 atitinkamai nustatyti į 10 ps ir 9 ps. Kaip matyti iš 2.25 paveikslo, b, kai įėjimo laiko trukmė yra lygi 8 ps, LSK rezultatas gaunamas, kai didesnio dažnio generatoriaus aštuntas frontas aplenkia mažesnio dažnio generatoriaus aštuntą frontą. Kai LSK įėjimo laiko trukmė yra lygi 32 ps, LSK rezultatas gaunamas, kai antras didesnio dažnio generatoriaus frontas aplenkia penktą mažesnio dažnio generatoriaus frontą.

2.5. Dažnio sintezatoriaus daugiajuosčiams siųstuvams-imtuvams modelis

Dažnio sintezatoriaus, skirto daugiajuosčiams siųstuvams-imtuvams, modelis fazės srityje pateiktas 2.26 paveiksle. Jis yra paremtas struktūra, pateikta (Staszewski, Waheed, Dulger, *et al.* 2011), tačiau modifikuota plačiam dažnio perderinimo ruožui ir užtikrina aukštą fazės klaidos nustatymo skiriamąją gebą.



2.26 pav. Visiškai skaitmeninio dažnio sintezatoriaus daugiajuosčiams siųstuvams-imtuvams modelis fazės srityje

Fig. 2.26. Phase domain model of all digital frequency synthesiser for multiband transceiver

Platus sintezatoriaus dažnio perderinimo ruožas gaunamas naudojant daugia-kontūrinį skaitmeniniu būdu valdomą generatorių. Jis šioje schemoje parodytas kaip keli lygiagretūs SVG, kadangi bendru atveju sintezatoriuje gali būti naudojami n SVG branduoliai, bet vienu metu veikia tik vienas branduolys. Kiekvienas SVG branduolys turi savo perdavimo koeficientą K_{SVGn} , todėl šiuo atveju SVG perdavimo koeficientas yra aibė, sudaryta iš atskirų branduolių perdavimo koeficientų $K_{SVG} = \{K_{SVG1}, K_{SVG2}, \dots, K_{SVGn}\}$. Kiekvienas SVG branduolys turi būti normuojamas atskirai, todėl atitinkamai pavaizduoti n normavimo blokai. Tokia struktūra taip pat leidžia naudoti skirtingo tipo SVG, pvz., LC rezonansinio kontūro ir žiediniai SVG gali būti naudojami viename dažnio sintezatoriuje ir kiekvienas iš jų gali būti įjungiamas, priklausomai nuo reikiamų parametrų.

Aukšta fazės klaidos nustatymo skiriamoji geba gaunama naudojant šio darbo 3.1 skyriuje pateiktą dviejų dimensijų Vernier laikinį skaitmeninį keitiklį, paremtą žiediniais generatoriais.

Kaip parodyta šio darbo 1.3 skyriuje, LSK matuoja laiko trukmę tarp atraminio (nesinchronizuoto) ir SVG generuojamo signalo frontų. Šiuo atveju tai atliekama naudojant *Vernier* būdą. LSK išėjimas yra teigiamas dvejetainis skaičius, bet iš 1.3 skyriaus aptarimo seka, kad dėl atraminio signalo sinchronizavimo SVG generuojamu signalu atsirandanti klaida $\varepsilon[k]$ yra trupmeninė, ribose $[0;1)$. Dėl to LSK išėjimo signalo reikšmė turi būti normuota pagal laiko vienetą – SVG generuojamo signalo periodą T_{SVG} . Šiuo atveju periodo T_{SVG} vertė turi būti išreikšta LSK matavimo vienetais, t. y. naudojamų žiedinių generatorių pakopų vėlinimo trukmių skirtumu. Todėl SVG signalo periodą taip pat galima gauti naudojant LSK. Kai LSK neskaičiuoja fazės klaidos, galima jį panaudoti tam, kad apskaičiuoti laiko trukmę tarp kylančio ir krentančio SVG signalo frontų ir gautą reikšmę padauginti iš dviejų. Gauta reikšmė atitinka T_{SVG} periodą. Kitas būdas – galima remtis atraminio signalo stabilumu ir dažnio valdymo žodžio apibrėžimu: darbo pradžioje apskaičiuoti atraminio signalo periodą T_{ATR} , ir padalinti šią reikšmę iš dažnio valdymo žodžio N .

Padalinus LSK išėjimo signalo vertę iš apskaičiuotos T_{SVG} vertės, gaunama trupmeninė fazės klaidos $\varepsilon[k]$ vertė:

$$\varepsilon[k] = \frac{\Delta t[k]}{T_{SVG}[k]}, \quad (2.20)$$

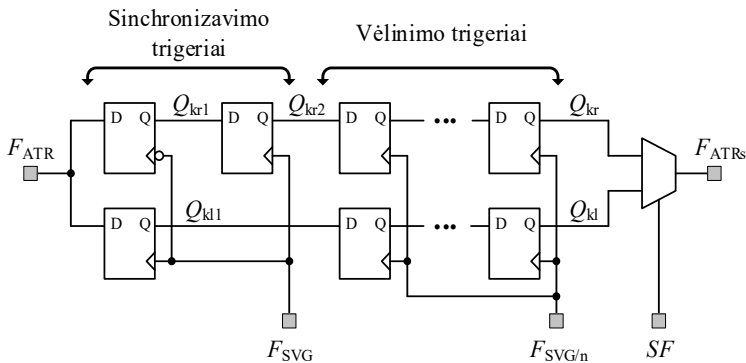
čia Δt – LSK išmatuota laiko trukmė tarp atraminio ir SVG generuojamo signalų kylančių frontų.

Lyginant su LSK – inverterių vėlinimo linija, siūlomo LSK privalumas – perpanaudojami LSK struktūroje esami skaitikliai T_{SVG} periodo vertei rasti. Naudojant LSK – inverterių vėlinimo liniją, reikia naudoti papildomą skaitiklį, kas didina lusto plotą.

Anksčiau aptartas ir 1.4 paveiksle parodytas atraminio signalo ir generuojamo signalo sinchronizavimo atvejis yra idealus, parodantis sinchronizavimo esmę ir nepageidaujamą efektą – klaidos $\varepsilon[k]$ atsiradimą. Funkciškai jį galima įgyvendinti naudojant vieną triggerį. Tačiau realybėje, kad išvengti metastabilumo, kai atraminio ir generuojamo signalo frontai yra arti vienas kito, turi būti naudojama sudėtingesnė sinchronizavimo sistema.

Sinchronizavimo sistemos struktūra yra parodyta 2.27 paveiksle (Staszewski, Waheed, Dulger, *et al.* 2011). Sinchronizavimas gali būti atliktas vienu metu atraminį signalą sinchronizuojant dvejais triggeriais, vienas iš kurių valdomas kylančiu SVG generuojamo signalo frontu, kitas – krentančiu. Vienas iš šių sinchronizavimo triggerių potencialiai gali būti metastabilumo būsenoje. Krentančiu frontu valdomo triggerio išėjimas turi būti pakartotinai sinchronizuotas kylančiu SVG generuojamo signalo frontu, kad tenkinti klaidos $\varepsilon[k]$ apibrėžimą – laiko trukmę tarp kylančių atraminio ir SVG generuojamo signalų frontų. Šių triggerių išėjimai Q_{kr} ir

Q_{kl} yra jungiami į pasirinkimo elementą – multiplexerį, kuris yra valdomas sinchronizavimo fronto pasirinkimo signalu SF . Jei laiko trukmė tarp kylančio atraminio signalo fronto ir kylančio SVG signalo fronto yra ilgesnė nei tarp kylančio atraminio signalo fronto ir krentančio SVG generuojamo signalo fronto, SF signalas yra aukšto loginio lygio ir pasirenkamas kelias, sinchronizuotas kylančiu SVG signalo frontu. Priešingu atveju SF signalas yra žemo loginio lygio ir pasirenkamas kelias, sinchronizuotas krentančiu SVG signalo frontu.



2.27 pav. Atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus generuojamo signalų sinchronizavimo sistema

Fig. 2.27. Reference and digitally controlled oscillator signal synchronization system

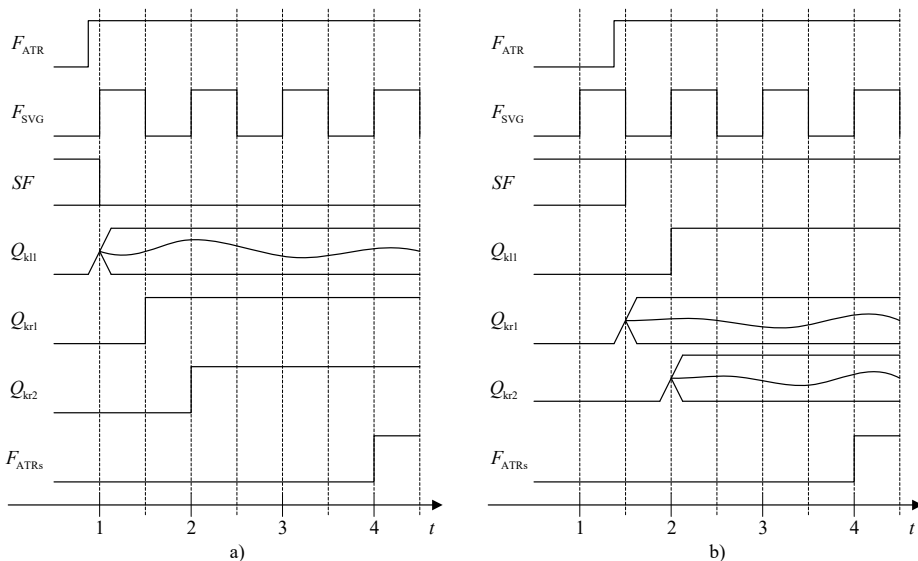
Šios sistemos veikimui, fronto pasirinkimo signalas SF turi būti stabilus prieš tai, kai multiplekserio įėjimus pasiekia synchronizuoti signalai Q_{kr} ir Q_{kl} . Tam užtikrinti, šie signalai yra vėlinami papildomais trigeriais, taktuojamais SVG generuojamu signalu. Taip pat vėlinimo trigeriai gali būti taktuojami SVG signalu, kurio dažnis yra padalintas, pavyzdžiui iš 4 arba 8. Tą 2.27 paveiksle žymi signalas $F_{SVG/n}$. Synchronizavimo proceso laikinės diagramos, kai naudojamos dvi poros vėlinimo trigerių, taktuojamų SVG signalu, pateiktos 2.28 paveiksle.

Jei sinchronizacijos fronto pasirinkimo signalas nesuformuojamas laiku, bet yra stabilios loginės būsenos, yra 50 % tikimybė, kad bus pasirinktas neteisingu frontu sinchronizuotas atraminis signalas, dėl ko klaidos ε vertė papildomai pasikeis ± 1 . Tačiau dažnio sintezatorius gali atsistatyti iš šios klaidos.

Jei multiplekserio įėjimo signalai gaunami vienu metu, kaip ir fronto sinchronizavimo pasirinkimo signalas, multiplekseris gali pereiti į metastabiliąją būseną, dėl kurios gali prireikti atlikti viso dažnio sintezatoriaus pradinį nustatymą. Tačiau tokia tikimybė yra maža dėl papildomo sinchronizuotų signalų vėlinimo.

Laiko trukmės tarp SVG generuojamo signalo frontų (kylančio ir krentančio) ir atraminio signalo fronto galima rasti ir sinchronizavimo fronto pasirinkimo sig-

nalas SF gali būti formuojamas naudojant LSK. Inverterių vėlinimo linijos, naudojamos kaip LSK, atveju gali būti naudojama perteklinė LSK išėjimo informacija, kad nuspręsti, kuriuo frontu turi būti vykdoma sinchronizacija. Paprasčiausiu atveju, frontui parinkti gali būti stebimas LSK išėjimo signalo bitas, kurio galimos vertės išsidėsčiusios simetriškai SVG generuojamo signalo fronto atžvilgiu. Tačiau SVG signalas yra kintamo dažnio ir periodo. Tai reiškia, kad pakitus periodui, pasirinktas stebėjimo bitas gali netenkinti reikalavimų ir reikalinga papildoma sistema, sekanti SVG generuojamo signalo periodą ir parenkanti bitą, pagal kuri išrenkamas sinchronizavimo frontas.



2.28 pav. Atraminio signalo ir skaitmeniniu būdu valdomo generatoriaus generuojamo signalo frontų sinchronizavimo laikinės diagramos, kai metastabiliu gali tapti trigeris, sinchronizuotas kylančiu (a) ir krentančiu (b) SVG signalo frontu

Fig. 2.28. Transient waveforms of reference and digitally controlled oscillator signal synchronization system, when flip-flop synchronized by rising (a) or falling (b) edge of DCO signal can become metastable

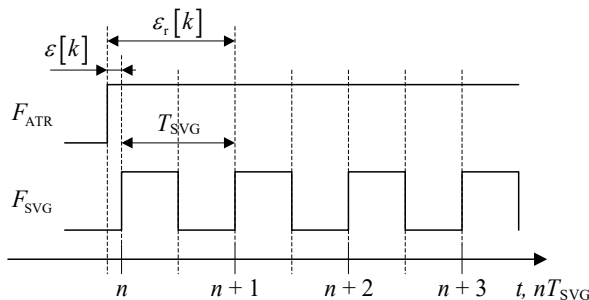
Naudojant siūlomos struktūros LSK, sprendimas apie sinchronizavimo frontą priimamas užfiksavus krentantį SVG signalo frontą, gautą po kylančio atraminio signalo fronto (LSK paleidimo).

Kaip žinoma iš 2.4 skyriaus, siūlomos struktūros 2D *Vernier* LSK matuoja tik teigiamą fazės skirtumą, kai atraminis signalas lenkia SVG generuojamą signalą. Kai gaunamas kylantis atraminio signalo frontas, paleidžiamas žemesnio dažnio LSK generatorius ir laukiama SVG generuojamo signalo – iki to laiko SVG signalo įėjimas yra neaktyvus. Taip pat, po gauto kylančio atraminio signalo

fronto, netrukus SVG generuojamo signalo dvejais frontais sinchronizuojamas atraminis signalas. Tačiau vienas iš trigerių, kuriais atliekama sinchronizacija gali būti metastabilus. Jei laiko trukmė tarp atraminio signalo kylančio fronto ir SVG generuojamo signalo kylančio fronto yra maža, SVG generuojamo signalo kylantis frontas bus ignoruojamas LSK, nes po atraminio signalo fronto gavimo, dėl vėlinimo ne iš karto aktyvuojamas SVG generuojamo signalo įėjimas.

Jei LSK priima ir teisingai užfiksuoja kylantį SVG generuojamo signalo frontą, galima manyti, kad juo galima sinchronizuoti atraminį signalą. Tačiau nėra galimybių nustatyti, kad tas frontas yra tas pats signalo frontas, kuriuo buvo vykdoma sinchronizacija, o ne sekantis, kadangi, kaip minėta, jei signalų frontai yra arti vienas kito, jis galėjo būti ignoruojamas. Todėl paleidus žemesnio dažnio žiedinį generatorių, sprendimas apie sinchronizavimo frontą nepriimamas, kol negaunamas krentantis SVG signalo frontas. Jei jis fiksuojamas anksčiau nei kylantis SVG signalo frontas, nusprendžiama, kad sinchronizavimas turi būti vykdomas pagal krentantį SVG signalo frontą. Priešingu atveju – pagal kylantį SVG signalo frontą. Toks sprendimas priimamas dėl to, kad:

- jei prieš tai buvęs kylantis SVG signalo frontas buvo arti atraminio signalo kylančio fronto, jis buvo ignoruotas, o laiko trukmė iki krentančio SVG signalo fronto yra tinkama sinchronizavimui;
- jei krentantis SVG signalo frontas užfiksuotas po kylančio atraminio signalo fronto, reiškia praėjo užtektinai laiko, kad pasikeisti LSK vidinei būsenai ir aktyvuoti SVG generuojamo signalo įėjimą. Ši laiko trukmė yra ilgesnė, nei trigerio metastabilumo langas;
- jei kylantis SVG signalo frontas užfiksuotas po kylančio atraminio signalo fronto ir prieš krentantį SVG signalo frontą, reiškia praėjo užtektinai laiko, kad pasikeisti LSK vidinei būsenai ir aktyvuoti SVG generuojamo signalo įėjimą. Ši laiko trukmė yra ilgesnė, nei trigerio metastabilumo langas, todėl kylantis SVG signalo frontas tinkamas sinchronizacijai.



2.29 pav. Trupmeninės klaidos radimas, kai ignoruojamas SVG signalo kylantis frontas, esantis arti kylančio atraminio signalo fronto

Fig. 2.29. Calculation of fractional error, when rising edge of DCO signal is ignored, when it is near rising edge of reference signal

Iš šio aptarimo matosi svarbi siūlomos struktūros LSK ypatybė – jei laiko trukmė tarp kylančio atraminio signalo fronto ir sekančio SVG generuojamo signalo fronto yra mažesnė nei laiko trukmė reikalinga aktyvuoti laikinio skaitmeninio keitiklio SVG įėjimą, kylantis SVG frontas yra ignoruojamas ir didesnio dažnio LSK žiedinis generatorius bus įjungtas tik su sekančiu kylančiu SVG signalo frontu. Tai reiškia, kad praleidžiamas visas SVG periodas ir LSK išmatuos laiko trukmę $\varepsilon_r[k]$, vienu SVG periodu didesnę už tikrąją $\varepsilon[k]$. Tai grafiškai pateikta 2.29 paveiksle.

Šiai klaidai ištaisyti, galima panaudoti turimą SVG periodo informaciją. Jei apskaičiuota fazės klaidos vertė $\varepsilon_r[k]$ yra didesnė už apskaičiuota SVG periodo vertę T_{SVG} , iš jos atimama apskaičiuota T_{SVG} periodo vertė ir taip gaunama tikroji ieškoma trupmeninė fazės klaidos vertė:

$$\varepsilon[k] = \begin{cases} \varepsilon_r[k], & \text{kai } \varepsilon_r[k] < T_{\text{SVG}}; \\ \varepsilon_r[k] - T_{\text{SVG}}, & \text{kai } \varepsilon_r[k] > T_{\text{SVG}}. \end{cases} \quad (2.21)$$

Ši fazės klaidos pataisa ir atraminio signalo pakartotinė sinchronizacija užtunka bent vieną papildomą SVG signalo periodą, todėl tai reikia įvertinti pagal (1.10) išraišką skaičiuojant atraminio signalo ir SVG generuojamo signalo fazės skirtumą $\varphi_E[k]$ atimant praleistų periodų skaičių iš SVG fazės akumulatoriaus vertės $R_{\text{SVG}}[k]$. Pavyzdžiui, jei yra naudojamos dvi poros vėlinimo trigerių pakartotinei sinchronizacijai, kaip parodyta 2.28 paveikslo laikinėse diagramose, ir atliekama trupmeninės fazės klaidos dalies apskaičiavimo pataisa, reiškia praleisti trys SVG periodai, ir skaičiuojant fazės klaidą reikia atimti 3 iš $R_{\text{SVG}}[k]$.

2.6. Antrojo skyriaus išvados

1. Siekiant kiekybiškai palyginti įvairius dažnio sintezatorius, yra siūloma nauja kokybės funkcija, apimanti visus pagrindinius dažnio sintezatoriaus parametrus: fazės triukšmą, darbinį dažnį, dažnio perdėrimo ruožo plotį, vartojamąją galią, užimamą lusto plotą.
2. Atlikta palyginamoji dažnio sintezatorių belaidžio ryšio siūstuvams imtuvams analizė, taikant siūlomą kokybės funkciją, parodė, kad visiškai skaitmeniniai dažnio sintezatoriai taikant nanometrines technologijas yra pranašesni už klasikinius, o jų kokybės funkcija siekia $-270,32 \text{ dBc/Hz}$. Taikant submikronines KMOP technologijas ($0,18 \mu\text{m}$ ir $0,13 \mu\text{m}$) įgyvendinti klasikinės struktūros DS yra lygiaverčiai arba pranašesni už visiškai skaitmeninius ir jų kokybės funkcija siekia $-280,54 \text{ dBc/Hz}$.

3. Fazės triukšmo lygiui sumažinti reikia gerinti LSK skiriamąją gebą. Tai pasiekti galima tobulinant KMOP technologiją, kurios projektotojas įtakoti negali, arba naudojant tokias LSK struktūras: *Vernier* vėlinimo liniją, 2D *Vernier* plokštumą, stochastinį, žiedinį, arba daugia-pakopį LSK.
4. Inverterio vėlinimo trukmės skaičiavimo rezultatai rodo, kad taikant 65 nm KMOP technologiją, apkrovos talpai kintant nuo 10 fF iki 100 fF, maitinimo įtampai esant 1,2 V, tranzistoriaus pločio ir ilgio santykio vertėms esant 66,67, 133,33 ir 266,67, inverterio vėlinimo trukmė kinta nuo 7 ps iki 30 ps. Esant tranzistoriaus ilgio ir pločio santykiui lygiam 66,67, maitinimo įtampai kintant nuo 0,9 V iki 1,4 V, inverterio vėlinimo trukmė gali kisti nuo 7,6 ps iki 54 ps.
5. Daugiau juosčiams siųstuvams-imtuvams tinkamo dažnio sintetatoriaus LSK skiriamoji geba turi būti mažesnė nei 12 ps, norint užtikrinti mažesnę nei -90 dBc/Hz fazės triukšmą sintetatoriaus praleidžiamųjų dažnių juostos ribose, kai SVG generuojamo signalo dažnis yra 6 GHz. SVG fazės triukšmas už dažnio sintetatoriaus praleidžiamųjų dažnių juostos turi būti mažesnis nei -120 dBc/Hz, kadangi šioje srityje SVG triukšmas yra dominuojantis. SVG generuojamo signalo dažnis turi būti perduodamas plačiame dažnio ruože (bent 1 GHz). Skaitmeninis dažnio sintetatoriaus filtras turi būti sudarytas iš proporcinės ir integrinės dalies bei papildomų BIR filtrų, kad tiksliau valdyti praleidžiamųjų dažnių juostą ir gauti didesnę atraminio signalo ir LSK įnešamo triukšmo slopinimo statumą.
6. Pakeitus vėlinimo linijas 1D *Vernier* ir 2D *Vernier* laikiniuose skaitmeniniuose keitikliuose žiediniais generatoriais, eliminuojamas vienas iš pagrindinių LSK trūkumų – ilgos vėlinimo linijos. Nors struktūra tampa sudėtingesnė, lyginant su inverterių vėlinimo linija, tačiau ją taip galima realizuoti VHDL kalba.
7. Sukurtas 2D *Vernier* žiedinio laikinio skaitmeninio keitiklio modelis, leidžiantis išmatuoti įėjimo laiko trukmę, mažesnę nei inverterio vėlinimo trukmė, ir jo valdymo algoritmas. Pagrindiniai sukurto LSK sudarantys blokai yra: du trijų pakopų žiediniai generatoriai, arbitražo matrica, valdymo blokas, frontų ir periodų skaitikliai bei dekodėris. Tokio LSK įėjimo laiko trukmės matavimas yra greitesnis, nei 1D *Vernier* struktūros LSK: jei mažesnio ir didesnio dažnio generatoriaus pakopų vėlinimo trukmės atitinkamai lygios 10 ps ir 9 ps, o laiko trukmė tarp įėjimo signalų frontų yra 21 ps, naudojant siūlomos struktūros LSK

rezultatas bus gautas po 30 ps, o 1D *Vernier* LSK rezultatas bus apskaičiuotas tik po 231 ps.

8. LSK modelis yra įgyvendintas VHDL kalba ir pritaikytas sintezei, leidžiančiai įgyvendinti vieną pagrindinių visiškai skaitmeninių DS privalumą – supaprastintą perkėlimą iš vienos technologijos į kitą, dėl ko trumpėja integrinio grandyno projektavimo laikas ir kaina.

Visiškai skaitmeninio dažnio sintezatoriaus pagrindinių blokų sukūrimas ir tyrimas

Pagal antrame skyriuje išskeltus reikalavimus dažnio sintezatoriaus, skirto daugiajuosčiams siųstuvams-imtuvams, pagrindiniams blokams, yra kuriami ir tiriami dviejų dimensijų *Vernier* laikinio skaitmeninio keitiklio, paremto žiediniais generatoriais, LC kontūro skaitmeniniu būdu valdomo generatoriaus bei dažnio sintezatoriaus skaitmeninio filtro integriniai grandynai. Tyrimai atliekami taikant kompiuterinių skaičiavimų ir eksperimentinius metodus.

Skyriaus tematika paskelbti du moksliniai straipsniai (Jurgo, Navickas 2016; Jurgo, Navickas 2017). Skyriaus tematika skaitytas vienas pranešimai Lietuvos konferencijose (Jurgo 2018) ir keturi pranešimai tarptautinėje konferencijoje (Jurgo 2016; Jurgo 2017, Jurgo 2017; Kiela et. al. 2017)

3.1. 2D *Vernier* žiedinio laikinio skaitmeninio keitiklio integrinis grandynas

Sukurto 2D *Vernier* žiedinio laikinio skaitmeninio keitiklio struktūra ir jos įgyvendinimas VHDL aparatūros aprašymo kalba leidžia šį LSK sintezuoti taikant

įvairias KMOP integrinių grandynų technologijas. Tai reiškia, kad toks LSK įgyvendinimas, skirtingai nuo daugumos ankstesnių LSK struktūrų, kurios yra įgyvendintos naudojant analoginių integrinių grandynų projektavimo metodus ir įrankius (Lu *et al.* 2016; Samarah *et al.* 2013; Pu *et al.* 2011; Yu *et al.* 2010; Kratyuk *et al.* 2009; Dudek *et al.* 2000), leidžia įgyvendinti vieną pagrindinių visiškai skaitmeninių dažnio sintezatoriaus privalumų – sąlyginai lengvą LSK perkėlimą iš vienos technologijos į kitą, kas sutrumpina projektavimo laiką bei kainą.

Šiame darbe sukurto LSK integrinis grandynas yra suprojektuotas taikant šių tyrimų metu universitetui prieinamas IBM (GlobalFoundries) 0,13 μm ir TSMC 65 nm KMOP integrinių grandynų technologijas. Tam, kad LSK sintezuoti ir automatiškai sudaryti jo IG topologiją, buvo sudaryti *TCL* (angl. *Tool Command Language*) skriptai Cadence skaitmeninių IG projektavimo programinei įrangai.

Abiejų LSK, sintezuotų taikant skirtingas IG technologijas, struktūra yra viena. Ji parodyta 2.16 paveiksle ir buvo aptarta ankstesniame skyriuje. Fizinėje realizacijoje žiediniai generatoriai yra suformuoti iš 48 lygiagrečiai sujungtų trijų pakopų generatoriaus sekcijų. Vietoje įprastų inverterių, žiediniai generatoriai sudaryti iš trijų būvių inverterių (Park *et al.* 2011; Tierno *et al.* 2008), kurie yra prieinami komercinio lygio KMOP integrinių grandynų gamybos technologijose.

Minimalus žiedinių generatorių pakopų skaičius (trys) yra naudojamas siekiant minimizuoti arbitrų matricą ir taupyti lusto plotą, kadangi arbitrų skaičius yra lygus abiejų žiedinių generatorių sudarančių pakopų skaičiaus sandaugai.

Laikines generatorių ir jų perderinimo charakteristikas nėra modeliuojamos skaitmeniniais integrinių grandynų projektavimo įrankiais, kadangi įprastai generacija skaitmeniniuose įtaisuose yra nepageidaujamas reiškinys. Todėl sintezuotų žiedinių generatorių išėjimo signalų dažniui ir generatorius sudarančių pakopų vėlinimo trukmių priklausomybės nuo įjungtų generatoriaus sekcijų įvertinti, jie modeliuojami naudojant analoginius IG projektavimo įrankius.

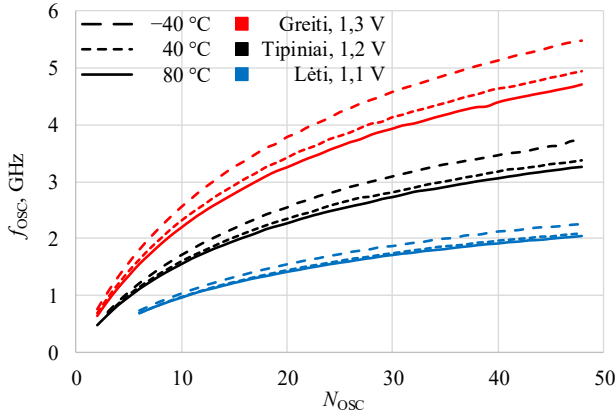
Modeliavimas yra atliktas trijose pagrindinėse darbo sąlygose:

- tipinės: tipiniai gamybos proceso modeliai, 1,2 V maitinimo įtampa, 40 °C temperatūra;
- blogiausios: lėti gamybos proceso modeliai, 1,1 V maitinimo įtampa, 80 °C temperatūra;
- geriausios: greiti gamybos proceso modeliai, 1,3 V maitinimo įtampa, –40 °C temperatūra.

Papildomai, kad ištirti žiedinių generatorių išėjimo signalo dažnio ir jį atitinkančios pakopos vėlinimo trukmės priklausomybę nuo temperatūros variacijų, buvo atliktas modeliavimas esant –40 °C, 40 °C ir 80 °C temperatūrai visose aukščiau minėtose darbo sąlygose.

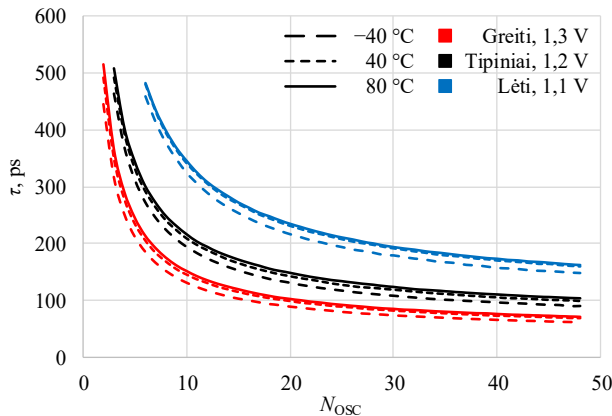
Generatoriaus išėjimo signalo dažnio f_{OSC} priklausomybės nuo įjungtų žiedinio generatoriaus sekcijų skaičiaus N_{OSC} modeliavimo rezultatai, esant –40 °C,

40 °C ir 80 °C temperatūrai, taikant 65 nm ir 0,13 μm technologijas pateikti atitinkamai 3.1 ir 3.2 paveiksluose. Generatoriaus išėjimo signalo dažnį atitinkančios pakopos vėlinimo trukmės τ priklausomybė nuo įjungtų generatoriaus sekcijų skaičiaus taikant 65 nm ir 0,13 μm technologijas pateikta 3.3 ir 3.4 paveiksluose.



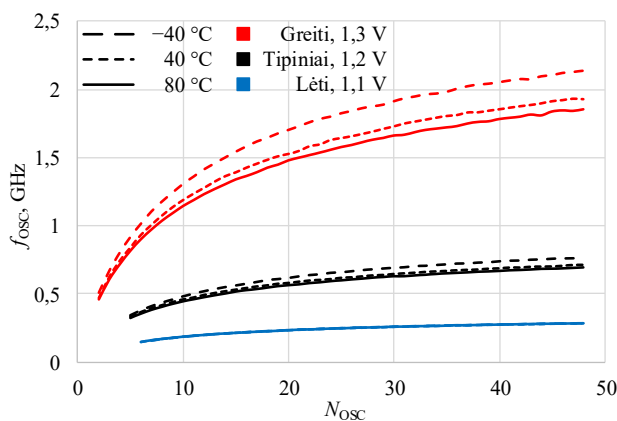
3.1 pav. Žiedinio generatoriaus išėjimo signalo dažnio f_{osc} priklausomybė nuo įjungtų generatoriaus sekcijų skaičiaus N_{osc} taikant 65 nm technologiją, esant -40 °C, 40 °C ir 80 °C temperatūrai

Fig. 3.1. Dependency of gated ring oscillator's output signal frequency F_{OSC} on number of turned on oscillator's sections N_{OSC} in 65 nm technology, when temperature is -40 °C, 40 °C and 80 °C



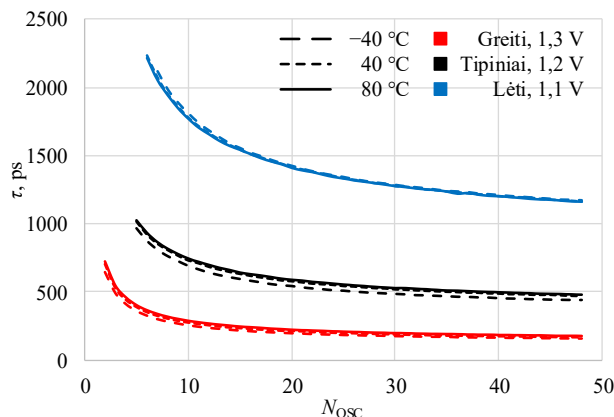
3.2 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ priklausomybė nuo įjungtų generatoriaus sekcijų skaičiaus N_{osc} taikant 65 nm technologiją, esant -40 °C, 40 °C ir 80 °C temperatūrai

Fig. 3.2. Dependency of gated ring oscillator's stage delay τ on number of turned on oscillator's sections N_{OSC} in 65 nm technology, when temperature is -40 °C, 40 °C and 80 °C



3.3 pav. Žiedinio generatoriaus išėjimo signalo dažnio f_{osc} priklausomybė nuo įjungtų generatoriaus sekcijų skaičiaus N_{osc} taikant 0,13 μm technologiją, esant -40 °C , 40 °C ir 80 °C temperatūrai

Fig. 3.3. Dependency of gated ring oscillator's output signal frequency F_{OSC} on number of turned on oscillator's sections N_{OSC} 0,13 μm technology, when temperature is -40 °C , 40 °C and 80 °C



3.4 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ priklausomybė nuo įjungtų generatoriaus sekcijų skaičiaus N_{osc} taikant 0,13 μm technologiją, esant -40 °C , 40 °C ir 80 °C temperatūrai

Fig. 3.4. Dependency of gated ring oscillator's stage delay τ on number of turned on oscillator's sections N_{osc} in 0,13 μm technology, when temperature is -40 °C , 40 °C and 80 °C

Iš rezultatų, pateiktų 3.1–3.4 paveiksluose, matyti, kad temperatūros variacijų įtaka žiedinio generatoriaus išėjimo signalo dažniui ir pakopos vėlinimo trukmei yra mažesnė, nei įtampas ir gamybos proceso variacijos. Tai ryškiausiai matosi taikant 0,13 μm technologiją, kai naudojami lėti tranzistorių modeliai ir 1,1 V

maitinimo įtampa. Šiose sąlygose generatoriaus išėjimo signalo dažnio ir pakopos vėlinimo trukmės kreivės, esant $-40\text{ }^{\circ}\text{C}$, $40\text{ }^{\circ}\text{C}$ ir $80\text{ }^{\circ}\text{C}$ temperatūrai, beveik persidengia. Todėl tolimesni skaičiavimai bus atliekami tik pagrindinėse trijose darbo sąlygose, aprašytose šio poskyrio pradžioje.

LSK generatoriaus pakopos vėlinimo trukmė kinta priklausomai nuo darbo sąlygų (proceso, įtampos, temperatūros). Nors 1D ir 2D *Vernier* LSK atvejais labiau svarbus yra vėlinimo linijas (arba žiedinius generatorius) sudarančių vėlinimo elementų vėlinimo trukmių skirtumas, nei absoliuti vėlinimo trukmė, norint kompensuoti vėlinimo trukmių variacijas ir užtikrinti vienodą koeficiento k reikšmę esant skirtingos darbo sąlygoms (pvz., prie $25\text{ }^{\circ}\text{C}$ ir $65\text{ }^{\circ}\text{C}$ temperatūros), gali būti naudojamas vėlinimo derinimo metodas aprašytas (Park, Wentzloff, 2011).

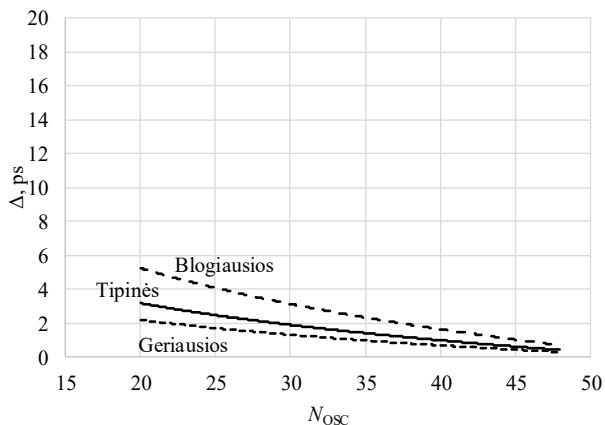
Tipinėse darbo sąlygose žiedinio generatoriaus dažnis gali būti keičiamas nuo 0,68 GHz iki 3,38 GHz ir nuo 0,33 GHz iki 0,71 GHz taikant atitinkamai 65 nm ir 0,13 μm technologiją. Generatoriaus pakopos vėlinimo trukmė gali būti keičiama nuo 491 ps iki 98 ps ir nuo 1,013 ns iki 0,466 ns taikant atitinkamai 65 nm ir 0,13 μm technologiją. Kad generatorius startuotų, bent 3 žiedinio generatoriaus sekcijos turi būti įjungtos taikant 65 nm technologiją, ir bent 5 sekcijos taikant 0,13 μm technologiją.

Blogiausiose darbo sąlygose žiedinio generatoriaus dažnis gali būti keičiamas nuo 0,70 GHz to 2,10 GHz ir nuo 0,15 GHz iki 0,29 GHz taikant atitinkamai 65 nm ir 0,13 μm technologiją. Generatoriaus pakopos vėlinimo trukmė gali būti keičiama nuo 479 ps iki 158 ps ir nuo 2,211 ns iki 1,164 ns taikant atitinkamai 65 nm ir 0,13 μm technologiją. Kad generatorius startuotų, bent 6 žiedinio generatoriaus sekcijos turi būti įjungtos taikant abi technologijas.

Geriausiose darbo sąlygose žiedinio generatoriaus dažnis gali būti keičiamas nuo 0,68 GHz iki 4,39 GHz ir nuo 0,51 GHz iki 2,13 GHz taikant atitinkamai 65 nm ir 0,13 μm technologiją. Generatoriaus pakopos vėlinimo trukmė gali būti keičiama nuo 491 ps iki 67 ps ir nuo 650 ps iki 156 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją. Kad generatorius startuotų, bent 2 žiedinio generatoriaus sekcijos turi būti įjungtos taikant abi technologijas.

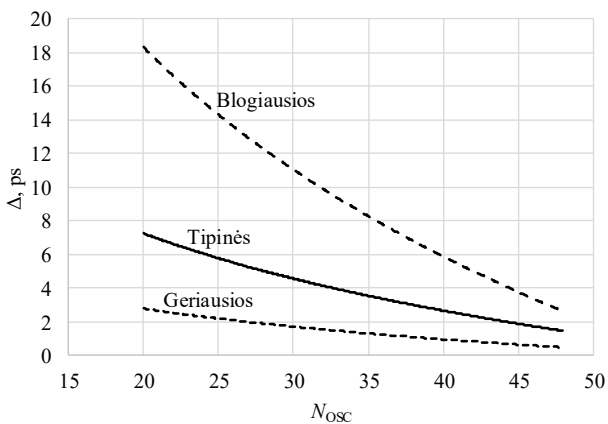
Generatoriaus signalo dažnio ir pakopos vėlinimo trukmės priklausomybė nuo įjungto generatoriaus sekcijų skaičiaus yra netiesinė, panaši į hiperbolinį dėsnį. Šios priklausomybės statumas yra didesnis, esant mažesniai įjungtų generatoriaus sekcijų skaičiui, ir mažesnis, esant didesniai įjungtų generatoriaus sekcijų skaičiui. Todėl, kad pasiekti didesnę 2D LSK skiriamąją gebą, turi būti naudojamos didesnės N_{OSC} reikšmės, kur generatoriaus dažnio ir pakopos vėlinimo trukmės perderinimo žingsniai yra mažesni, kadangi vėlinimo trukmės perderinimo žingsnis $\Delta = \tau(N_{\text{OSC}} - 1) - \tau(N_{\text{OSC}})$ atitinka LSK skiriamąją gebą, jei yra įjungta N_{OSC} sekcijų didesnio dažnio generatoriuje ir $N_{\text{OSC}} - 1$ sekcijų yra įjungta mažesnio dažnio generatoriuje.

Iš 3.2 ir 3.4 paveiksluose pateiktos pakopos vėlinimo trukmės srities, artimos tiesinei, kai N_{OSC} kinta nuo 20 iki 48, perskaičiuota pakopų vėlinimo trukmės žingsnio priklausomybė nuo įjungtų generatoriaus pakopų skaičiaus taikant 65 nm ir 0,13 μm technologiją pateikta atitinkamai 3.5 ir 3.6 paveiksluose.



3.5 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ žingsnio priklausomybė nuo įjungtų generatoriaus sekcijų taikant 65 nm technologiją, kai N_{OSC} kinta nuo 22 iki 48

Fig. 3.5. Dependency of step of gated ring oscillator's stage delay τ on number of turned on oscillator's sections in 65 nm technology, when N_{OSC} is changed from 22 to 48



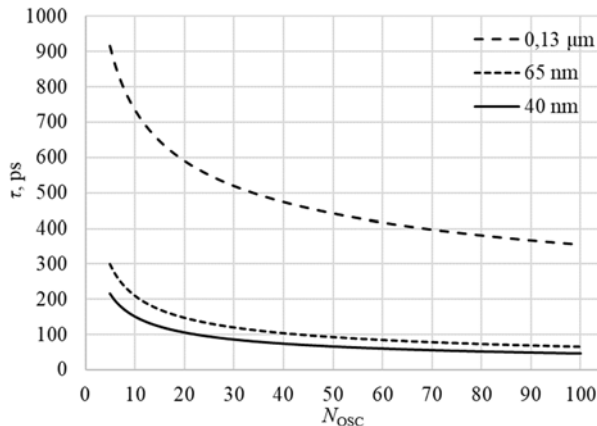
3.6 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ žingsnio priklausomybė nuo įjungtų generatoriaus sekcijų taikant 0,13 μm technologiją, kai N_{OSC} kinta nuo 22 iki 48

Fig. 3.6. Dependency of step of gated ring oscillator's stage delay τ on number of turned on oscillator's sections in 0,13 μm technology, when N_{OSC} is changed from 22 to 48

Šioje srityje vėlinimo trukmės žingsnis, atitinkantis LSK skiriamąją gebą, kinta nuo 3,2 ps iki 0,8 ps ir nuo 5,8 ps iki 1,1 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją, esant tipinėms darbo sąlygoms. Esant blogiausioms darbo

sąlygoms, pakopos vėlinimo trukmės žingsnis kinta nuo 6,1 ps iki 1,1 ps ir nuo 26 ps iki 2 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją. Geriausiose darbo sąlygose vėlinimo trukmės žingsnis kinta nuo 2,5 ps iki 0,5 ps ir nuo 3,1 ps iki 0,8 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją. Reikia pastebėti, kad turi būti nustatyta teisinga koeficiento k reikšmė, kad būtų tenkinama (2.12) sąlyga, kaip buvo aptarta ankstesniame poskyryje.

Iš pateiktų skaičiavimų rezultatų matyti, kad, nors žiedinio generatoriaus pakopos vėlinimo trukmė taikant 0,13 μm technologiją yra nuo 1,32 iki 7,37 kartų didesnė, lyginant su pakopos vėlinimo trukme taikant 65 nm technologiją, galima pasiekti mažą vėlinimo trukmės žingsnį, artimą 1 ps. Taip pat reikia pastebėti, kad generatoriaus išėjimo signalo dažnis ir atitinkama pakopos vėlinimo trukmė yra labiau jautrūs gamybos proceso variacijoms taikant 0,13 μm technologiją, nei taikant 65 nm technologiją.



3.7 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ priklausomybės nuo įjungtų generatoriaus sekcijų skaičiaus N_{OSC} aproksimacija taikant 0,13 μm , 65 nm ir 40 nm technologijas esant tipinėms darbo sąlygoms

Fig. 3.7. Approximation of dependency of gated ring oscillator's stage delay τ on number of turned on oscillator's sections N_{OSC} in 0,13 μm , 65 nm and 40 nm technology nodes in typical operation conditions

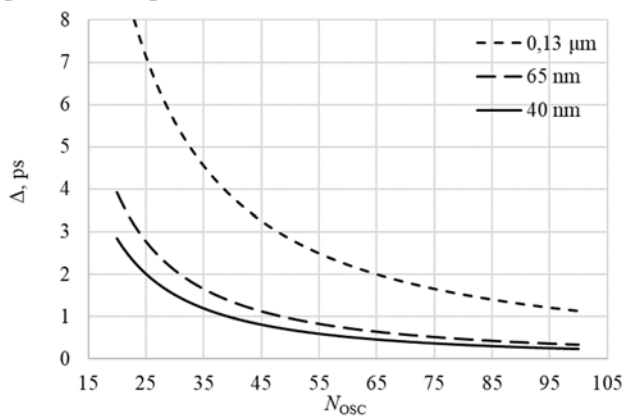
3.2 ir 3.4 paveiksluose pateiktas kreives galima aproksimuoti laipsnio funkcijomis, kad rasti pakopos vėlinimo trukmės ir LSK skiriamosios gebos vertes, kai naudojamos daugiau nei 48 žiedinio generatoriaus sekcijos, taip sumažinant modeliavimo trukmę. 3.7 paveiksle yra pateiktos pakopos vėlinimo trukmės τ priklausomybės nuo įjungtų generatoriaus pakopų skaičiaus tipinėse darbo sąlygose, kai pakopos vėlinimo trukmė taikant 0,13 μm ir 65 nm technologijas aproksimuojama šiomis lygtimis:

$$\tau_{0,13\mu m} = 1523,8 \cdot N_{OSC}^{-0,316}; \quad (3.1)$$

$$\tau_{65nm} = 686,69 \cdot N_{OSC}^{-0,514}. \quad (3.2)$$

Taip pat tariant, kad pakopos vėlinimo trukmė pereinant prie mažesnių KMOP IG technologijų mažės tokiu pačiu dėsniu, kaip ir perėjus nuo 0,13 μm prie 65 nm technologijos, yra išvesta $\tau(N_{OSC})$ priklausomybė 40 nm technologijai.

Iš 3.7 paveikslo duomenų apskaičiuota žiedinio generatoriaus pakopos vėlinimo trukmės τ žingsnio priklausomybė nuo įjungtų generatoriaus pakopų skaičiaus N_{OSC} taikant 0,13 μm , 65 nm ir 40 nm technologijas, esant tipinėms darbo sąlygoms yra pateikta 3.8 paveiksle.



3.8 pav. Žiedinio generatoriaus pakopos vėlinimo trukmės τ žingsnio priklausomybės nuo įjungtų generatoriaus sekcijų N_{OSC} skaičiaus aproksimacija taikant 0,13 μm , 65 nm ir 40 nm technologijas, esant tipinėms darbo sąlygoms

Fig. 3.8. Approximation of dependency of step of gated ring oscillators stage delay τ on number of turned on oscillator's sections N_{OSC} in 0,13 μm , 65 nm and 40 nm technology nodes in typical operation conditions

Iš 3.7 ir 3.8 paveiksluose pateiktų duomenų matyti, kad šios struktūros LSK taip pat tampa vis patrauklesnis taikant modernesnes IG technologijas. Pavyzdžiui, norint pasiekti 1 ps žingsnį taikant 40 nm technologiją užtenka 39 įjungtų žiedinio generatoriaus sekcijų. Todėl taikant naujesnes technologijas taupomas lusto plotas ne tik dėl mažesnių įtaisų matmenų, bet ir dėl mažesnio jų skaičiaus. Dėl mažesnio reikiamo sekcijų skaičiaus taip pat mažėja lusto galia.

Toliau didinant generatoriaus pakopų sekcijų skaičių, galima pasiekti pakopos vėlinimo trukmės derinimo žingsnį, mažesnį už 1 ps. Tačiau parodytų kreivių statusas mažas ir, pavyzdžiui, norint pasiekti 0,5 ps žingsnį, taikant 65 nm technologiją reikės 77 įjungtų generatoriaus sekcijų. Tokia skiriama geba, kai SVG generuojamo signalo dažnis lygus 6 GHz, o atraminio signalo dažnis yra 40 MHz, sąlygoja $-121,3$ dBc/Hz fazės triukšmą dažnio sintezatoriaus praleidžiamų dažnių

juostoje. Ši vertė yra 6 dBc/Hz mažesnė, nei LSK, kurio skiriamoji geba yra 1 ps. Todėl čia išlieka kompromiso tarp ploto, vartojamosios galios ir skiriamosios gebos ieškojimo būtinybė.

Modeliuoto LSK ir jo žiedinių generatorių parametrų santrauka yra pateikta 3.1 lentelėje.

3.1 lentelė. Laikinio skaitmeninio keitiklio ir jo žiedinių generatorių parametrų santrauka

Table 3.1. Summary of time to digital converter's and its gated ring oscillators' parameters

Parametras	Technologija	Darbo sąlygos		
		Tipinės	Blogiausios	Geriausios
Generatoriaus išėjimo signalo dažnis, GHz	65 nm	0,68–3,38	0,70–2,10	0,68–4,93
	0,13 μ m	0,33–0,71	0,15–0,29	0,51–2,13
Generatoriaus pakopos vėlinimo trukmė, ps	65 nm	491–98	479–158	491–67
	0,13 μ m	1013–466	2211–1164	650–156
Pakopos vėlinimo trukmės žingsnis, ps*	65 nm	3,4–0,8	6,1–1,1	2,5–0,5
	0,13 μ m	5,8–1,1	26–2	3,1–0,8
Minimalus generatoriaus įjungtų pakopų skaičius	65 nm	3	6	2
	0,13 μ m	5	6	2

* kai įjungtų generatoriaus sekcijų skaičius N_{osc} keičiamas nuo 20 iki 48

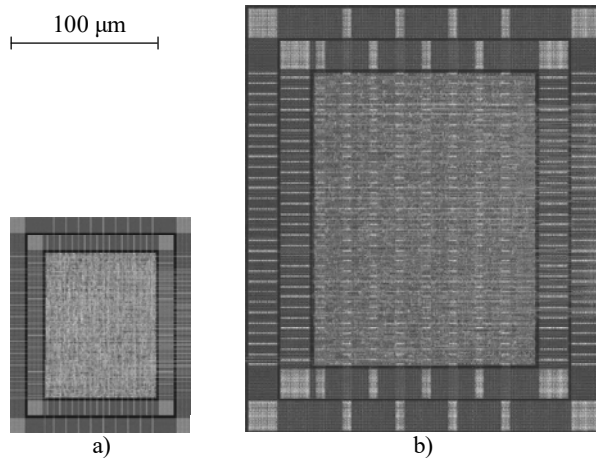
Laikinio skaitmeninio keitiklio pagrindinių parametrų palyginimas su kitais moksliniais darbais pateiktas 3.2 lentelėje. Iš šio palyginimo matyti, kad LSK tyrimai aktyviai vykdomi taikant KMOP technologijas iki 0,13 μ m. Didžioji dalis tyrimų vykdomi ties LSK struktūros tobulinimu ir dažniausias pasirinkimas yra *Vernier* arba daugiapakopės struktūros. Tačiau didžioji dalis LSK yra kuriami naudojant analoginių integrinių grandynų projektavimo įrankius, kas panaikina kelią vienam iš visiškai skaitmeninio DS privalumų – lengvą perkėlimą į kitą technologiją. Iš apžvelgtų darbų tik (Park *et al.* 2011) projektuotas taikant skaitmeninius integrinių grandynų projektavimo įrankius.

3.2 lentelė. Laikinio skaitmeninio keitiklio parametrų palyginimas su kitais darbais
Table 3.2. Comparison of time to digital converter's parameters to other works

Šaltinis	Struktūra	Technologija	Skiriamoji geba, ps	Galia, mW	Plotas, mm ²
Šis darbas	2D <i>Vernier</i> žiedinė	65 nm	3,2–0,8	3,60	0,018
Šis darbas	2D <i>Vernier</i> žiedinė	0,13 μm	5,8–1,1	3,60	0,072
(Staszewski, Waheed, Dulger, <i>et al.</i> 2011)	Vėlinimo linija	65 nm	10–30	–	–
(Pu <i>et al.</i> 2011)	Trijų pakopų	0,13 μm	1	3,48	–
(Samarah, Chan Carusone 2012)	Dviejų pakopų	0,13 μm	4	4,44	0,028
(Vercesi <i>et al.</i> 2010)	2D <i>Vernier</i> žiedinė	65 nm	4,8	1,70	0,020 (branduolys)
(Lu <i>et al.</i> 2016)	2D <i>Vernier</i> žiedinė	90 nm	2,2	2,30	0,068
(Kratyuk <i>et al.</i> 2009)	Stochastinė	0,13 μm	0,7	2,70	0,110
(Park <i>et al.</i> 2011)	1D <i>Vernier</i> žiedinė	65 nm	5,5	1,40	0,006
(Lu, Liscidini, <i>et al.</i> 2012)	1D <i>Vernier</i> žiedinė	90 nm	3,2	3,60	0,027
(Ko <i>et al.</i> 2015)	Dviejų pakopų	0,13 μm	5	1,15	0,7
(Park <i>et al.</i> 2017)	Dviejų pakopų	0,13 μm	250	0,24	0,022

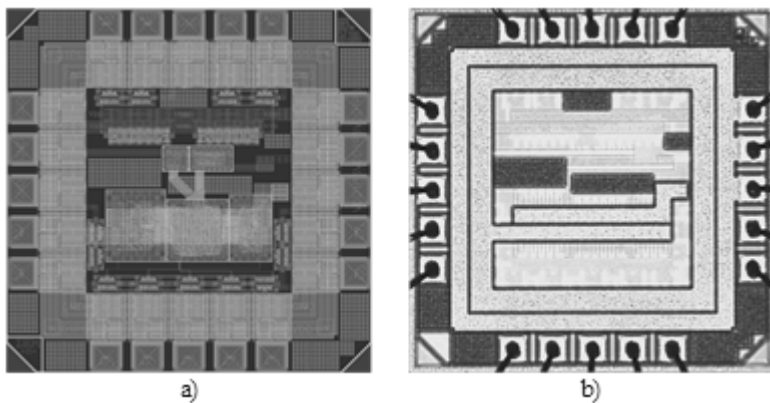
Taikant 65 nm ir 0,13 μm KMOP technologijas sukurtų ir sintezuotų laikinio skaitmeninio keitiklio integrinių grandynų topologijų vaizdai yra pateikti 3.9 paveiksle. Taikant 0,13 μm KMOP technologiją suprojektuoto LSK integrinio grandyno prototipo topologija ir lusto nuotrauka yra parodyta 3.10 paveiksle. Taikant 65 nm technologiją LSK branduolys užima 75,0 μm × 100,8 μm silicio ploto, o viso LSK plotas, įskaitant maitinimo žiedus, užima 123,0 μm × 148,8 μm. Taikant 0,13 μm technologiją LSK branduolys užima 150,68 μm × 202,4 μm silicio ploto, o viso LSK plotas, įskaitant maitinimo žiedus, užima 244,2 μm × 295,8 μm. Taikant 0,13 μm KMOP technologiją suprojektuoto LSK prototipo užimamas lusto

plotas, įskaitant lusto kontaktines aikšteles, valdymo modulius, papildomus žiedinius generatorius ir jų buferius užima $1,5 \text{ mm} \times 1,5 \text{ mm}$ lusto pločio.



3.9 pav. Sukurto laikinio skaitmeninio keitiklio integrinio grandyno topologijos vaizdas: a) taikant 65 nm technologiją; b) taikant $0,13 \mu\text{m}$ technologiją

Fig. 3.9. Layout of designed time to digital converter's integrated circuit in a) 65 nm technology; b) $0.13 \mu\text{m}$ technology



3.10 pav. Taikant $0,13 \mu\text{m}$ technologiją sukurto laikinio skaitmeninio keitiklio integrinio grandyno prototipo topologijos vaizdas (a) ir nuotrauka (b)

Fig. 3.10. Layout (a) and micrograph (b) of designed prototype of time to digital converter's integrated circuit $0.13 \mu\text{m}$ technology

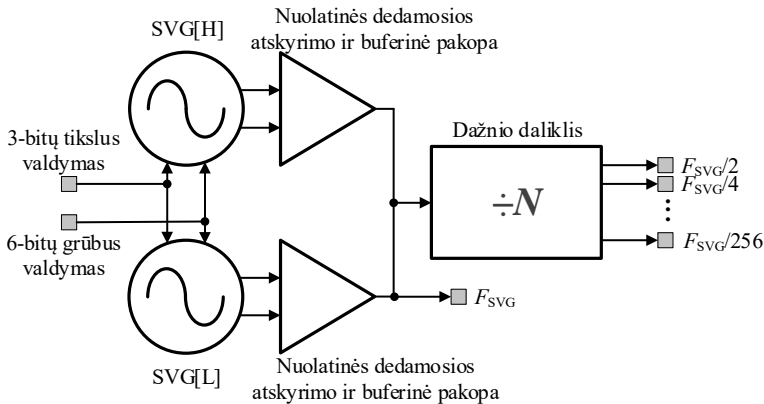
3.2. Skaitmeniniu būdu valdomo generatoriaus integrinis grandynas

Iš antrojo skyriaus žinoma, kad norint pritaikyti skaitmeniniu būdu valdomą generatorių daugiajuosčiams dažnio sintezatoriams, SVG turi pasižymėti žemu dažnio perderinimo žingsniu, aukštu generuojamo signalo dažniu, plačiu dažnio perderinimo ruožu ir žemu fazės triukšmu.

Apžvelgti dažnio sintezatoriai ir juose naudojami SVG įprastai pasižymi pakankamai mažu, kilohercų eilės dažnio perderinimo žingsniu (Maurath *et al.* 2017: 232–235; Huang *et al.* 2017: 1299–1307; Huang *et al.* 2015: 234–235; Staszewski *et al.* 2005: 2203–2211), tačiau, kaip matyti iš 2.1 ir 2.2 lentelių, jų išėjimo signalo dažnis nėra plačiai perderinamas arba yra sąlyginai žemo dažnio. Todėl šiame darbe kuriant SVG buvo telkiamas dėmesys į išėjimo signalo dažnį, dažnio perderinimo ruožą ir fazės triukšmą.

Šiame poskyryje yra pateikiamas skaitmeniniu būdu valdomas 4,3–5,4 GHz LC generatorius (LC SVG) sukurtas taikant IBM 7RF 0,18 μm KMOP technologiją. Ši technologija yra naudojama todėl, kad SVG tyrimų metu tai yra technologija, kurią taikant sukurtus integrinius grandynus yra galimybė pagaminti pagal MOSIS universitetinių mokymų ir tyrimų programą. LC SVG struktūra pateikta 3.11 paveiksle. Platus 1,1 GHz dažnio perderinimo ruožas gaunamas naudojant du vienodos struktūros SVG. SVG generuojamo signalo dažnis yra perderinamas naudojant 6 ir 3 bitų dvejetainius žodžius, kurie atitinkamai valdo grubaus ir tikslaus dažnio perderinimo SVG branduolio talpų masyvus. Galimų dažnių ruožui padidinti, kartu su SVG naudojamas dažnio daliklis. Jo struktūra yra paremta *E-TSPC* (angl. *Extended TSPC*) tipo trigeriais. Dalybos reikšmės nuo 2 iki 256 yra gaunamos sujungiant nuosekliai aštuonias dalybos iš 2 celes. Platus perderinimo ruožas ir didelis dalybos reikšmių pasirinkimas leidžia suprojektuotą SVG taikyti daugiajuosčiuose siųstuvų-imtuvų integriniuose grandynuose.

Reikia pabrėžti, kad čia pateikiamas dalinis siūlomos struktūros atvejis: nors parodytoje struktūroje yra naudojami du SVG branduoliai, siūloma SVG struktūra gali būti masteliuojama ir dažnių ruožas gali būti keičiamas pasirenkant reikiamą generatoriaus branduolių skaičių. Masteliavimo principas ir tokios struktūros SVG gali būti įgyvendintas taikant įvairias KMOP IG technologijas. Tačiau didinant branduolių skaičių, smarkiai didinamas lusto plotas dėl generatoriuje naudojamų induktyvumo ričių, kurios užima didžiąją generatoriaus ploto dalį. Bet, kaip matyti iš elektroninių įtaisų spartos tyrimų taikant įvairias KMOP technologijas, kurių rezultatai pateikti 2.3 ir 3.1 poskyriuose, taikant nanometrines technologijas yra pasiekama žymiai didesnė sparta, kas leidžia gauti didesnę nei 6 GHz SVG išėjimo signalo dažnį ir reikiamą perderinimo ruožą naudojant mažesnę lusto plotą. Aktyviai tyrimus daugiakontūrinių valdomų generatorių srityje vykdo V. Mačaitis (Macaitis *et al.* 2017b; Macaitis *et al.* 2017a).



3.11 pav. Skaitmeniniu būdu valdomo 5 GHz LC generatoriaus struktūra
Fig. 3.11. Structure of 5 GHz LC digitally controlled oscillator

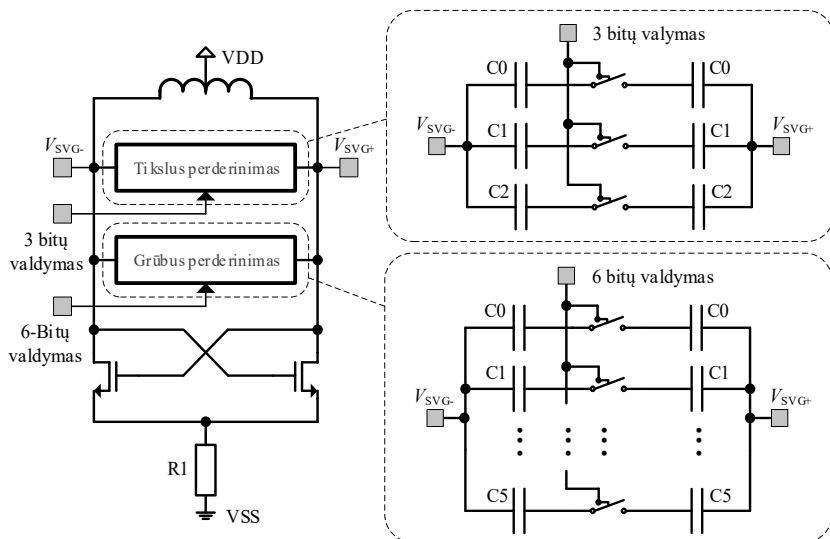
Norint taikyti SVG belaidžio ryšio sistemoms, įprastai pasirenkami LC kontūro generatoriai (Zhuang *et al.* 2007; Lu *et al.* 2009; Hsu *et al.* 2008; Temporiti *et al.* 2009; Pletcher *et al.* 2005; Pittorino *et al.* 2006). Tačiau daugiakontūrinė struktūra taip pat leidžia naudoti ir skirtingo tipo generatoriaus branduolius – žiedinius generatorius kartu su LC kontūro generatoriais arba tik žiedinius generatorius. Kadangi žiediniai generatoriai gali būti aprašomi aparatūros aprašymo kalbomis, jų panaudojimas sudaro galimybę sintezuoti visą visiškai skaitmeninį dažnio sintezatorių. Bet žiedinių generatorių dažnis labai priklauso nuo naudojamos KMOP IG gamybos technologijos ir didėja taikant modernesnes technologijas, kadangi jis priklauso nuo inverterių vėlinimo trukmės. Iš 3.1 lentelės matyti, kad tokios pačios struktūros žiedinio generatoriaus maksimalus išėjimo signalo dažnis tipinėse darbo sąlygose taikant 0,13 μm technologiją yra 4,8 karto mažesnis nei taikant 65 nm technologiją ir nesiekia 1 GHz. Todėl norint gauti gigahercų eilės išėjimo signalo dažnį, žiediniai generatoriai tinkami naudoti tik taikant nanometrinės technologijas.

Kitas žiedinių generatorių trūkumas – didesnis fazės triukšmas, lyginant su LC kontūro generatoriais, kuris yra parodytas 3.17 ir 3.18 paveiksluose. Taigi, nors žiedinius generatorius galima įgyvendinti naudojant skaitmeninių IG projektavimo įrankius ir automatiškai gauti jų topologiją, jie tinkami naudoti tik sistemoje, kuriuose nėra labai griežti fazės triukšmo reikalavimai, pvz., skaitmeniniams lusto įtaisams sinchronizuoti.

Šiame poskyryje toliau bus telkiamas dėmesys į LC kontūro generatorius.

Skaitmeniniu būdu valdomo generatoriaus branduolys yra pateiktas 3.12 paveiksle. SVG yra sudarytas iš vienos neigiamos pilnutinės varžos (impedanso) NMOP tranzistorių poros ir LC kontūro. Pastarasis sudarytas iš aukštos kokybės induktyvumo ritės ir dviejų talpų masyvų, naudojamų grubiam ir tiksliam dažnio

perderinimui. Grubaus ir tikslaus dažnio perderinimo masyvai valdomi atitinkamai 6 ir 3 bitų dvejetainiais žodžiais.



3.12 pav. Skaitmeniniu būdu valdomo generatoriaus branduolys

Fig. 3.12. The core of digitally controlled oscillator

Plataus dažnio perderinimo skaitmeniniu būdu valdomam generatoriui projektuoti naudojant Cadence programinę įrangą gali būti taikomos sekančios projektavimo gairės:

- Iš naudojamų KMOP integrinių grandynų gamybos proceso techninių bibliotekų, kurias suteikia pasirinktas gamintojas, parenkama aukštos kokybės induktyvumo ritė, tinkama siekiamam darbiniam dažniui.
- Parenkamas mažiausios talpos kondensatorius, kuris bus naudojamas tikslaus dažnio perderinimo masyve.
- Parenkamas grubaus dažnio perderinimo masyvo mažiausias kondensatorius, kurio dydis turi būti bent kelis kartus didesnis, nei parinktas tikslaus dažnio perderinimo kondensatorius. Tokiais kondensatoriais turi būti užpildomas grubaus perderinimo masyvas dvigubinant kondensatorių skaičių kiekvienam valdymo bitui, jei naudojamas dvejetainis dažnio valdymo žodis.
- Vykdomas modeliavimas išjungus visus kondensatorius, kad patikrinti didžiausią veikimo dažnį. Šis dažnis turi būti didesnis, nei numatomas SVG dažnis. Jei jis žemesnis, turi būti mažinamas bitų skaičius arba kondensatorių dydis.

- Jei veikimo dažnis yra didesnis nei planuojamas, užpildomas tikslaus perderinimo masyvas dvigubinant mažiausių kondensatorių skaičių kiekvienam valdymo bitui. Bitų skaičius turi būti pakankamas, kad tikslaus dažnio perderinimo ruožas padengtų bent vieną grubaus dažnio perderinimo žingsnį.
- Atliekamas modeliavimas ir jei veikimo dažnis yra didesnis nei planuojamas, grubaus dažnio perderinimo bitų skaičius, gali būti padidintas, siekiant išplėsti dažnio perderinimo ruožą link žemesnių dažnių.
- Patikrinamas didžiausias ir mažiausias SVG veikimo dažnis. Jei didžiausias veikimo dažnis žymiai nesumažėjo, galima padidinti grubaus dažnio perderinimo masyvo bitų skaičių ir SVG didžiausią reikiamą veikimo dažnį atstatyti sumažinus induktyvumo ritės dydį. Jei pridėti kondensatoriai stipriai sumažina maksimalų veikimo dažnį, grįžtama į prieš tai buvusias vertes.
- Dažnio perderinimo ruožui labiau išplėsti sukuriamas sekantis SVG branduolys, naudojant didesnę induktyvumo ritę ir pakartojant visus prieš tai buvusius žingsnius.
- Naudojamų SVG branduolių dažnio perderinimo ruožai turi persidengti, kad nesusidarytų generuojamo signalo dažnių tarpų.

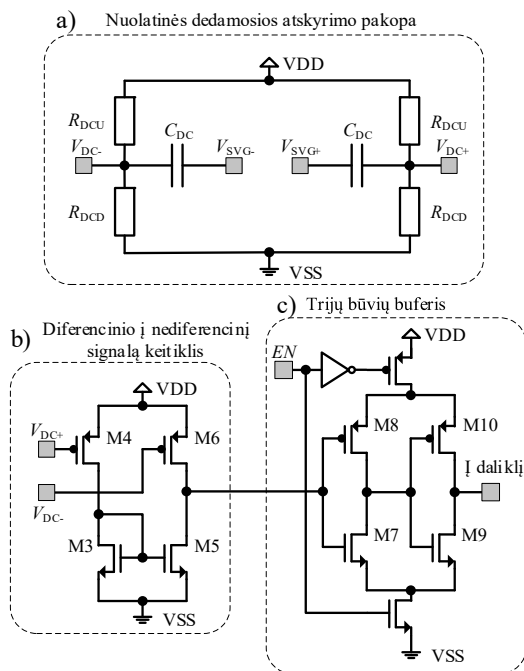
Suprojektuoto LC SVG išėjimo signalo lygis gali pasiekti dvigubą maitinimo įtampos lygį. Norint tokį generatorių naudoti integriniame grandyne su kitais blokais, kurių įėjimo signalo lygis neviršija maitinimo įtampos lygio, būtina naudoti nuolatinės dedamosios atskyrimo pakopą. Nuolatinės dedamosios atskyrimo pakopa yra pateikta 3.13 paveiksle, a dalyje. Ji sudaryta iš vienuodų varžų, kurie nustato nuolatinės dedamosios lygį pakopos išėjime, ir kondensatorių. Kondensatorių talpa yra lygi 1,6 pF, o naudojamų varžų vertė yra lygi 15 k Ω . Šie komponentai pakopos išėjime sukuria maždaug 0,9 V nuolatinę dedamąją, t. y. pusę maitinimo įtampos.

Darbe naudojamas E-TSPC struktūros daliklis, kurio įėjimas yra nediferencinis. Kad suderinti SVG išėjimo signalą su dažnio daliklio įėjimu, yra naudojamas diferencinio į nediferencinį signalo keitiklis. Jo schema yra pateikta 3.13 paveiksle, b dalyje. Naudojant tokį keitiklį yra vienodai apkraunami abu nuolatinės dedamosios atskyrimo pakopos išėjimai.

Trijų būvių kartotuvai yra naudojami, kad izoliuoti tarpusavyje skirtingus generatorius, kad vienu metu dažnio daliklį sujungti tik su vienu generatoriumi. Trijų būvių kartotuvai yra sudaryti iš dviejų inverterių ir maitinimą bei žemę izoliuojančių tranzistorių. Trijų būvių kartotuvai yra pateiktas 3.13 paveiksle, c dalyje.

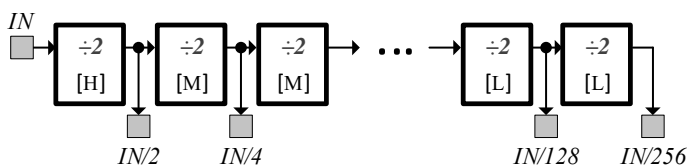
Tam, kad praplėsti skaitmeniniu būdu valdomo generatoriaus išėjimo signalų dažnių ruožą, kartu yra naudojamas dažnio daliklis. Aukštam veikimo dažniui pasiekti dažniausiai yra naudojami dalikliai, kurių pagrindas yra *Wang*, *Razavi* ar

CML (angl. *Current-Mode-Logic*) struktūros. Šių struktūrų trūkumas – didelis srovės sunaudojimas. Tačiau KMOP integrinių grandynų tobulėjimas leidžia naudoti daliklius, sudarytus iš TSCP ir E-TSPC trigerių. Tokie dalikliai pasižymi žymiai paprastesnėmis struktūromis, mažu užimamu lusto plotu ir naudojamąja srove (Deng *et al.* 2010; Jurgo *et al.* 2013).



3.13 pav. Nuolatinės dedamosios atskyrimo pakopa (a), diferencinio į nediferencinį signalą keitiklis (b) ir trijų būsenų kartotuvo pakopa (c)

Fig. 3.13. DC decoupling stage (a), differential to single ended converter (b) and tri-state buffer stage (c)



3.14 pav. Dalybos iš N dažnio daliklio struktūra. $\div 2$ [H]– dalikliai dirbantys aukščiausiu dažniu, $\div 2$ [I]– dalikliai dirbantys vidutiniu dažniu, $\div 2$ [L]– dalikliai dirbantys žemiausiu dažniu. IN – įėjimo signalas, IN/N – įėjimo signalas padalintas iš koeficiento $N = 2^1-2^8$

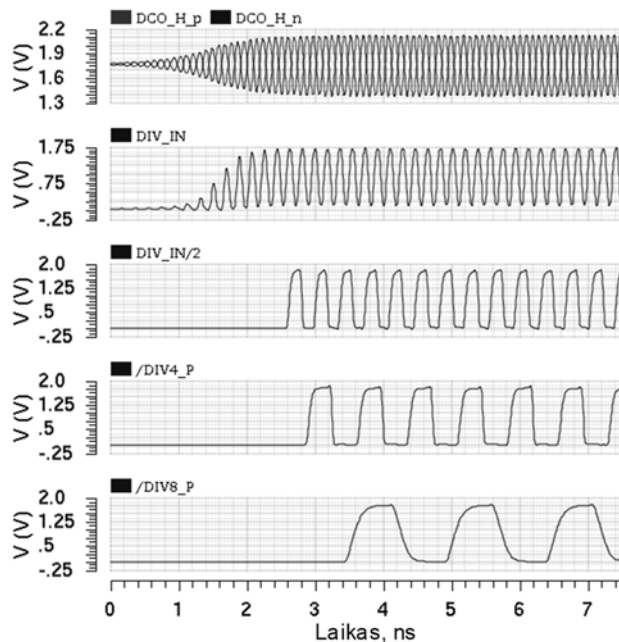
Fig. 3.14. Structure of divide-by- N frequency divider. $\div 2$ [H]– divider working at highest frequency, $\div 2$ [I]– divider working at intermediate frequency, $\div 2$ [L]– divider working at low frequency. IN – input signal, IN/N – input signal divided by coefficient $N = 2^1-2^8$

Suprojektuoto daliklio struktūra yra pateikta 3.14 paveiksle. Daliklis yra sudarytas iš aštuonių dalybos iš 2 pakopų, o jo dalybos koeficientai kinta nuo 2^1 iki 2^8 . Tokie dalybos koeficientai leidžia naudoti daliklį kitų integrinio grandynų blokų, dirbančių įvairiais dažniais, taktavimui.

Daliklio pakopos yra sujungtos nuosekliai. Tokio jungimo privalumas yra tas, kad kiekviena pakopa dvigubai sumažina darbinio dažnio reikalavimus sekančiai pakopai. Šiame darbe yra naudojamos trys skirtingos dalybos iš 2 pakopos. Viena pakopa dirba aukščiausiu SVG išėjimo dažniu (4,3 GHz – 5,4 GHz), penkios pakopos dirba vidutiniu dažniu, kintančiu nuo 2,7 GHz iki 134 MHz, ir dvi pakopos veikia žemiausiu lusto dažniu, kintančiu nuo 84 MHz iki 33 MHz. Skirtingų dalybos pakopų panaudojimas leidžia sutaupyti vartojamąją srovę ir lusto plotą. Be to, pakartotinai naudojant tas pačias dalybos pakopas sumažinama integrinio grandyno projektavimo trukmė.

Siūlomos struktūros skaitmeniniu būdu valdomas generatorius su dažnio dalikliu yra suprojektuoti naudojant Cadence integrinių grandynų programinę įrangą.

Visam lustui yra naudojama viena 1,8 V maitinimo įtampa. Kiekvienas SVG vartoja apytiksliai 10 mA srovę, dažnio daliklis vartoja apie 27 mA srovę, nuolatinės dedamosios atskyrimo pakopa, kartotuvai ir kiti lusto blokai vartoja apie 53 mA srovę. Viso lusto vartojamoji srovė yra apie 90 mA.



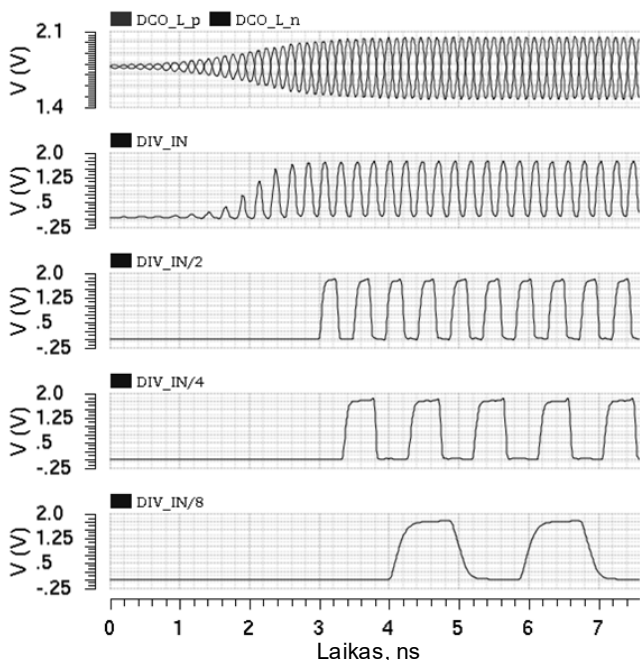
3.15 pav. Laikinio modeliavimo rezultatai esant nustatytam aukščiausiam darbo dažniui
Fig. 3.15. Transient simulation results at highest operating frequency

Laikinio modeliavimo rezultatai, kai SVG yra nustatytas į aukščiausią darbo dažnį, lygų 5,44 GHz, yra pateikti 3.15 paveiksle: SVG išėjimo signalo laikinės diagramos (DCO_H_p ir DCO_H_n signalai), nuolatinės dedamosios atskyrimo pakopos laikinė diagrama, kuri kartu yra ir dažnio daliklio įėjimo signalo laikinė diagrama (DIV_IN signalas), dažnio daliklio dalybos iš 2, 4 ir 8 laikinės diagramos (atitinkamai (DIV_IN/2, DIV_IN/4 ir DIV_IN/8 signalai). Iš šio paveikslo matyti, kad SVG išėjimo signalo įtampos lygis kinta nuo 1,37 V iki 2,13 V, o kiti signalų įtampos lygiai kinta nuo 0 V iki maitinimo įtampos lygio, t. y. 1,8 V. SVG startavimo trukmė yra apie 2 ns.

Aukščiausias SVG darbo dažnis nustatomas, kai grubaus perderinimo valdymo žodis nustatomas į 63, o tikslaus perderinimo žodis nustatomas į 7.

Laikinio modeliavimo rezultatai, kai SVG yra nustatytas į žemiausio darbo dažnį, lygų 4,30 GHz, yra pateikti 3.16 paveiksle. Iš šio paveikslo matyti, kad SVG išėjimo signalo įtampos lygis kinta nuo 1,41 V iki 2,12 V, o kiti signalų įtampos lygiai kinta nuo 0 V iki maitinimo įtampos lygio. SVG startavimo trukmė yra apie 3 ns.

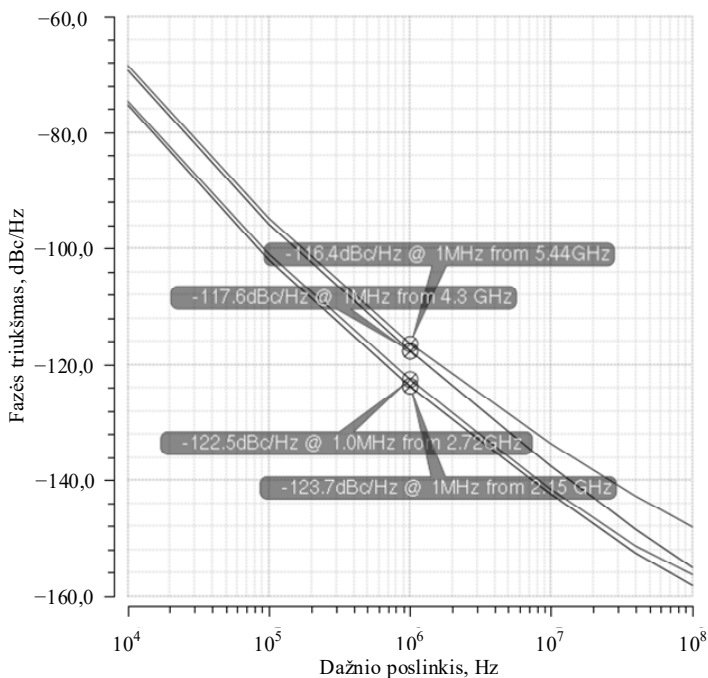
Žemiausias SVG darbo dažnis nustatomas, kai grubaus ir tikslaus dažnio perderinimo žodžiai nustatomi į 0.



3.16 pav. Laikinio modeliavimo rezultatai esant nustatytam žemiausiam darbo dažniui

Fig. 3.16. Transient simulation results at lowest operating frequency

Fazės triukšmo rezultatai skaitmeniniu būdu valdomo generatoriaus išėjime ir dažnio daliklio dalybos iš 2 išėjime, kai SVG darbinis dažnis nustatytas į didžiausią ir mažiausią reikšmes, yra pateikti 3.17 paveiksle. Iš šio paveikslo matyti, kad esant nustatytam aukščiausiam SVG darbo dažniui, fazės triukšmas SVG išėjime yra lygus $-116,4$ dBc/Hz prie 1 MHz poslinkio dažnio nuo 5,44 GHz nešlio, o fazės triukšmas dažnio daliklio dalybos iš 2 išėjime yra lygus $-122,5$ dBc/Hz prie 1 MHz dažnio poslinkio nuo 2,72 GHz nešlio. Kai SVG nustatytas į žemiausią darbo dažnį, fazės triukšmas SVG išėjime yra lygus $-117,6$ dBc/Hz prie 1 MHz poslinkio dažnio nuo 4,3 GHz nešlio, o fazės triukšmas dažnio daliklio dalybos iš 2 išėjime yra lygus $-123,7$ dBc/Hz prie 1 MHz dažnio poslinkio nuo 2,15 GHz nešlio. Esant nemažesniai nei 10 MHz dažnio poslinkiui nuo nešlio dažnio, fazės triukšmas SVG išėjime yra geresnis nei -134 dBc/Hz.

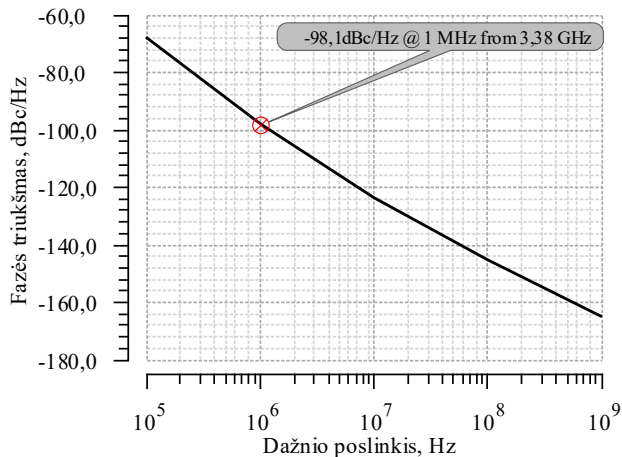


3.17 pav. LC skaitmeniniu būdu valdomo generatoriaus fazės triukšmo modeliavimo rezultatai

Fig. 3.17. Simulation results of LC digitally controlled oscillator's phase noise

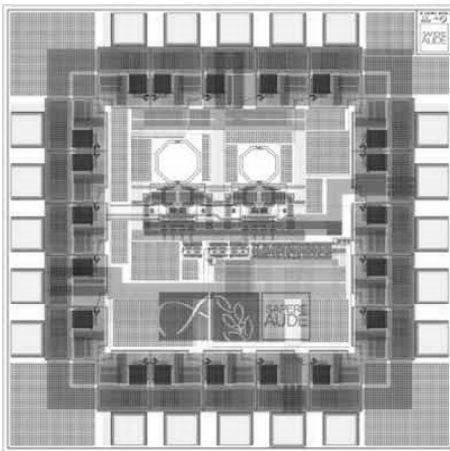
Palyginimui 3.18 paveiksle yra pateiktas taikant 65 nm KMOP technologiją sintezuoto laikiniame skaitmeniniame keitiklyje naudojamo žiedinio generatoriaus fazės triukšmas, esant tipinėms darbo sąlygoms. Kaip matyti, esant žemesniam generuojamo signalo dažniui, fazės triukšmas ties 1 MHz poslinkiu nuo

3,38 GHz nešlio dažnio yra lygus $-98,1$ dBc/Hz ir yra $18,3$ dBc/Hz didesnis, nei LC kontūro SVG fazės triukšmas.

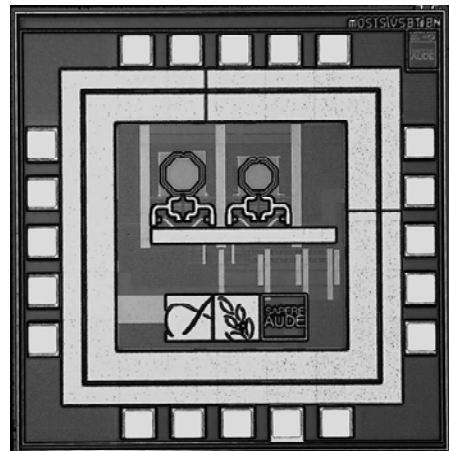


3.18 pav. Taikant 65 nm technologiją sintezuoto žiedinio skaitmeniniu būdu valdomo generatoriaus fazės triukšmo modeliavimo rezultatai

Fig. 3.18. Simulation results of synthesised in 65 nm technology digitally controlled ring oscillator's phase noise



a)



b)

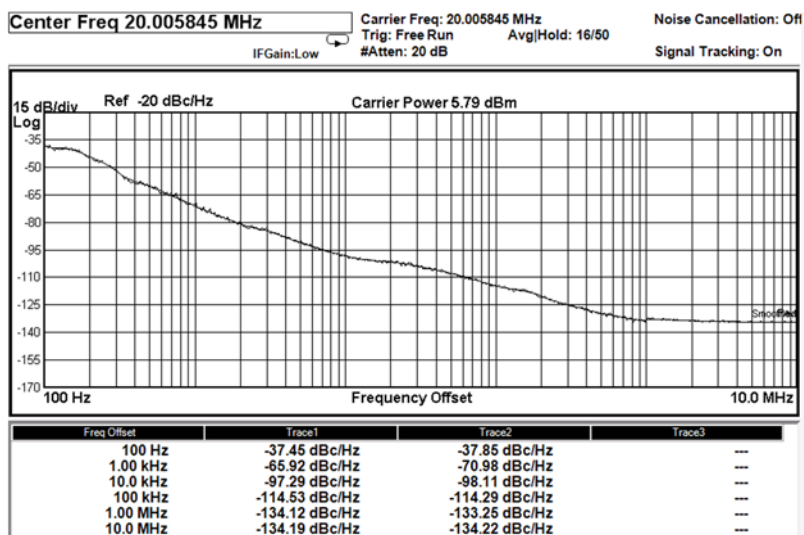
3.19 pav. Suprojektuoto skaitmeniniu būdu valdomo generatoriaus integrinio grandyno prototipo topologija (a) ir nuotrauka (b)

Fig. 3.19. Layout (a) and micrograph (b) of integrated circuit of the designed prototype of digitally controlled oscillator

Suprojektuoto skaitmeniniu būdu valdomo generatoriaus lusto prototipo topologija ir pagaminto prototipo nuotrauka pateikta 3.19 paveiksle. Visas lusto plotas yra lygus $1,5 \text{ mm} \times 1,5 \text{ mm}$. Du SVG branduoliai, nuolatinės dedamosios atskyrimo pakopa ir trijų būvių kartotuvai užima $500 \text{ }\mu\text{m} \times 340 \text{ }\mu\text{m}$ ploto, o dažnio daliklio plotas yra $55 \text{ }\mu\text{m} \times 270 \text{ }\mu\text{m}$.

Pagaminto SVG integrinio grandyno prototipo matavimams buvo suprojektuota ir pagaminta spausdintinė plokštė. Dėl riboto prototipo integrinio grandyno išvadų skaičiaus ir reikalavimams lusto korpusui sumažinti, iš prototipo korpuso išvedamas SVG signalas, padalintas dažnio dalikliu iš 256. Todėl gautą signalo dažnį reikia padauginti iš 256, norint sužinoti SVG branduolio veikimo dažnį. Dažnio nustatymas vykdomas jungikliais, kurie prie SVG branduolio dažnio valdymo išvadų jungiami per buferines pakopas, kad sumažinti jungiklių įtaką vidiniams SVG integrinio grandyno valdymo blokams.

Pagaminto SVG integrinio grandyno prototipo eksperimentiniams tyrimams buvo naudojamas signalų analizatorius Agilent N9010A EXA, įtampos šaltinis Keysight E3631A, multimetras Keysight U3402A.

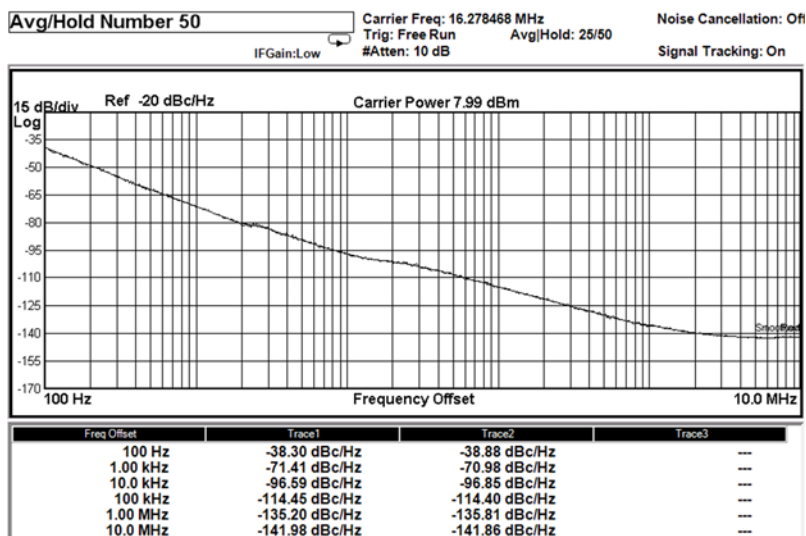


3.20 pav. Skaitmeniniu būdu valdomo generatoriaus prototipo fazės triukšmas, kai nustatytas didžiausias išėjimo signalo dažnis

Fig. 3.20. Phase noise of prototype of digitally controlled oscillator, when highest frequency of output signal is set

Išmatuoto SVG fazės triukšmo rezultatai, kai SVG generuojamo signalo dažnis nustatytas į mažiausią ir didžiausią, pateikti atitinkamai 3.20 ir 3.21 paveiksluose. Iš šių paveikslų matyti, kad aukščiausias pagaminto SVG prototipo signalo

dažnis, padalintas iš 256, yra lygus 20,01 MHz, kas atitinka 5,12 GHz SVG branduolio darbinį dažnį. Mažiausias SVG prototipo signalo dažnis, padalintas iš 256, yra lygus 16,28 MHz, kas atitinka 4,17 GHz SVG branduolio darbinį dažnį.



3.21 pav. skaitmeniniu būdu valdomo generatoriaus prototipo fazės triukšmas, kai nustatytas mažiausias išėjimo signalo dažnis

Fig. 3.21. Phase noise of prototype of digitally controlled oscillator, when lowest frequency of output signal is set

Pagaminto SVG prototipo fazės triukšmas po dažnio daliklio iš 256 yra lygus $-134,12$ dBc/Hz ir $-135,2$ dBc/Hz ties 1 MHz poslinkiu nuo nešlio dažnio, kai yra nustatytas atitinkamai didžiausias ir mažiausias SVG generuojamo signalo dažnis.

Reikia pastebėti, kad idealiu atveju kiekvienas dažnio daliklis iš 2 sumažina fazės triukšmą 3 dBc/Hz (Apostolidou *et al.* 2008). Dalinant signalą iš 256, fazės triukšmas idealiu atveju yra sumažinamas 24 dBc/Hz, kas sąlygoja, kad SVG branduolio išėjimo signalo fazės triukšmas yra $-110,12$ dBc/Hz ir $-111,2$ dBc/Hz, kai nustatytas atitinkamai didžiausias ir mažiausias SVG darbinis dažnis. Išmatuoto fazės triukšmo vertė mažesnė už modeliavimo rezultatus atitinkamai 6,28 ir 6,4 dBc/Hz. Skirtumas gali atsirasti dėl gamybos procesų netolygumų, taip pat reikia pastebėti, kad pagamintas SVG prototipas veikia laisvos eigos (angl. *free-running*) būsenoje, ko neįvertina modeliavimo programinė įranga.

Visas SVG integrinio grandyno prototipas su matavimo spausdintinės plokštės elementais vartoja 140 mA srovę iš 1,8 V maitinimo šaltinio.

Suprojektuoto SVG integrinio grandyno parametrų santrauka pateikta 3.3 lentelėje, o palyginimas su kitais darbais pateiktas 3.4 lentelėje.

3.3 lentelė. Suprojektuoto skaitmeniniu būdu valdomo LC generatoriaus parametrų santrauka

Table 3.3. Summary of parameters of designed LC digitally controlled oscillator

Parametras		Reikšmė	
KMOP technologija		IBM 7RF 0,18 μm CMOS	
Maitinimo įtampa, V		1,8	
Vartojamoji srovė, mA	SVG branduolys	10	
	Visas lustas	90	
	Matavimo plokštė	140	
SVG dažnio derinimo ruožas, GHz	Modeliuotas	4,30–5,44	
	Matuotas	4,17–5,12	
Fazės triukšmas esant 1 MHz nuokrypiui nuo nešlio, dBc/Hz	Modeliuotas	5,44 GHz	–116,4
		4,30 GHz	–117,6
	Matuotas	5,12GHz	–110,12
		4,17 GHz	–111,2
Plotas, mm ²		Aktyvi sritis	0,4 × 0,5
		Visas lustas	1,5 × 1,5

3.4 lentelė. Suprojektuoto skaitmeniniu būdu valdomo LC generatoriaus parametrų palyginimas su kitais darbais

Table 3.4. Comparison of designed LC digitally controlled oscillator's parameters to other works

Parametras	Šis darbas	(Pletcher <i>et al.</i> 2005)	(Pittorino <i>et al.</i> 2006)	(Zhuang <i>et al.</i> 2007)	(Pu <i>et al.</i> 2011)*	(Samarah <i>et al.</i> 2013)*	(Xin Chen <i>et al.</i> 2011)*
KMOP technologija	0,18 μm	0,13 μm	0,13 μm	90 nm	0,13 μm	0,13 μm	0,18 μm
Maitinimo įtampa, V	1,8	0,5	2,5	1,2	1,2	1,2	1,8
Vartojamoji srovė, mA	10	0,37	3,2	2,0	10	12,7	6,33

3.4 lentelės pabaiga
End of table 3.4

Parametras	Šis darbas	(Pletcher <i>et al.</i> 2005)	(Pittorino <i>et al.</i> 2006)	(Zhuang <i>et al.</i> 2007)	(Pu <i>et al.</i> 2011)*	(Samarah <i>et al.</i> 2013)*	(Xin Chen <i>et al.</i> 2011)*
Minimalus dažnis, GHz	4,17	1,63	3,45	3,05	1,70	1,99	0,004
Maksimalus dažnis, GHz	5,12	1,77	4,45	3,65	3,10	2,50	0,42
Nešlio dažnis, GHz	5,12	1,70	4,00	3,35	2,40	2,19	0,42
Fazės triukšmas esant 1 MHz nuokrypiui nuo nešlio, dBc/Hz	-110	-109	-114	-118	-121	-107	–
Plotas, mm ²	0,2	4	0,19	N/A	0,8	0,43	0,2

* – Duomenys pateikti tik viso dažnio sintetatoriaus

3.3. Skaitmeninio filtro integrinis grandynas

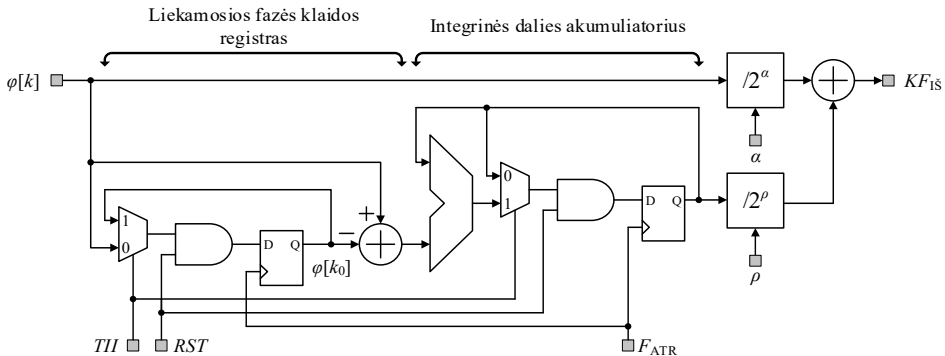
Iš pirmajame ir antrajame skyriuje pateiktų dažnio sintetatoriaus (DS) fazės triukšmo skaičiavimų matyti, kad skaitmeninis filtras yra svarbus dažnio sintetatoriaus blokas, valdantis jo dažnines charakteristikas ir įtakojantis viso sintetatoriaus triukšmo lygį.

Nors sintetatoriaus filtras atlieka svarbią funkciją, jis mažai nagrinėjamas ir aprašomas – publikacijose dažnai tik pasakoma, kad naudojamas filtras, nenagrinėjant jo struktūros ar parametrų (Wu *et al.* 2014; Yang *et al.* 2010; Yin *et al.* 2011) arba tik struktūroje parodoma, kad naudojamas filtras. Todėl šiame skyriuje yra sukurtas skaitmeninio filtro integrinis grandynas, tinkamas naudoti daugiajuosčiuose dažnio sintetatoriuose.

Iš ankstesnių skyrių seka, kad DS filtras turi būti sudarytas iš proporcinės ir integrinės dalies bei papildomų BIR filtrų. Šios dalys turi būti nepriklausomai valdomos: įjungiamos arba išjungiamos, o taip pat keičiamos visų perdavimo koeficientų (α , ρ ir λ) vertės.

3.22 paveiksle yra parodyta II-ojo tipo dažnio sintetatoriaus filtro struktūra (Staszewski 2011; Wu *et al.* 2015). Pagrindinės jos dalys yra liekamosios fazės

klaidos registras, integrinės dalies akumuliatorius bei proporcinio ir integrinio perdavimo blokai. Filto perdavimo koeficientai α ir ρ yra išreiškiami neigiamais dvejetainiais laipsniais, todėl proporcinio ir integrinio perdavimo blokai yra realizuoti postūmio į dešinę registrais.



3.22 pav. II-ojo tipo dažnio sintetatoriaus filto struktūra
Fig. 3.22. Structure of filter for type-II frequency synthesiser

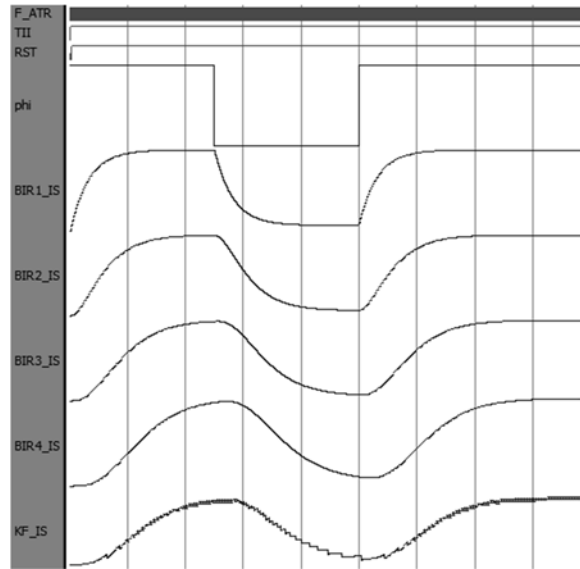
Liekamosios fazės klaidos registras reikalingas, norint įgyvendinti dažnio sintetatoriaus tipo perjungimą, kaip aprašyta 1.3.2 poskyryje ir parodyta 1.11 paveiksle. Kai sintetatoriaus tipas perjungiamas į II-ąjį ir aktyvuojamas tipo perjungimo signalas *TII*, liekamosios fazės klaidos registras išsaugo fazės klaidą $\varphi[k_0]$ ir perduoda koreguotą fazės klaidos reikšmę $\varphi[k] - \varphi[k_0]$ integrinės dalies akumuliatoriui. Įprastai apibrėžtas II-ojo tipo DS (be liekamosios fazės klaidos) gali būti įgyvendintas atliekant liekamosios klaidos registro pradinį nustatymą (aktyvuojant signalą *RST*), taip nustatant $\varphi[k_0] = 0$. Norint perjungti DS tipą iš II-ojo į I-ąjį, reikia *TII* signalą nustatyti į žemą loginį lygį ir atlikti integrinio akumuliatoriaus pradinį nustatymą.

Bendroji aukštesnės eilės II-ojo tipo dažnio sintetatoriaus filto struktūra yra parodyta 1.16 paveiksle, o filto ir viso DS eilei keisti naudojamų BIR filtrų struktūra parodyta 1.17 paveiksle. BIR filtro dažninė charakteristika yra keičiama naudojant perdavimo koeficientą λ , kuris, kaip ir koeficientai α ir ρ yra išreiškiamas neigiamais dvejetainiais laipsniais ir realizuotas postūmio registru į dešinę. Kiekvienam BIR filtrui gali būti nustatyta individuali koeficiento λ vertė.

Kadangi filto struktūra yra visiškai skaitmeninė, tokį filtrą galima aprašyti aparatūros aprašymo kalbomis ir įgyvendinti skaitmeninių integrinių grandynų projektavimo įrankiais.

3.23 paveiksle yra pateikti II-ojo tipo DS filto funkcinio modeliavimo laikinės diagramos, kai yra įjungtos visos keturios BIR filtrų pakopos, visų BIR filtrų

perdavimo koeficientai yra $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$, proporcinio perdavimo koeficientas $\alpha = 2^{-6}$, integrinio perdavimo koeficientas $\rho = 2^{-10}$. Filtro įėjimo signalas (3.23 paveiksle „phi“), BIR filtrų išėjimo signalai (3.23 paveiksle „BIR1_IS“ – „BIR4_IS“) ir viso filtro išėjimo signalas (3.23 paveiksle „KF_IS“) yra dvejetainiai skaičiai, tačiau dėl paprastesnės analizės jų vertės pateiktos analoginių diagramų pavidalu. Iš šio paveikslo matyti, kad kiekviena BIR filtro pakopa atlieka žemųjų dažnių filtro funkciją. Reikia pastebėti, kad filtro išėjimo signalo ordinatų ašies mastelis, dėl aiškesnio pateikimo, yra 64 kartus didesnis, nei likusių laikinių diagramų, kadangi nustatyta proporcinio perdavimo koeficiento reikšmė atitinka dalybą iš 64 ir atvaizduojant šį signalą nepadidinus mastelį, jo vertė atrodytų artima nuliui. Filtro išėjimo signalo formoje matomi žingsniai yra dėl integravimo (integrinės dalies akumulatoriaus).

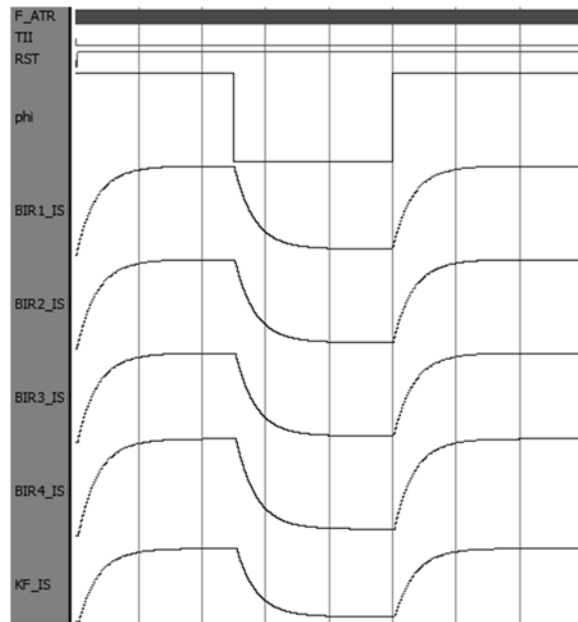


3.23 pav. II-ojo tipo dažnio sintetatoriaus filtro laikinio modeliavimo rezultatai, kai naudojamos 4 BIR filtro pakopos ir perdavimo koeficientai lygūs $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$, $\alpha = 2^{-6}$, $\rho = 2^{-10}$.

Fig. 3.23. Transient simulation results of type-II frequency synthesiser's filter, when four IIR filter stages are used and coefficients are $\lambda_1 = \lambda_2 = \lambda_3 = \lambda_4 = 2^{-5}$, $\alpha = 2^{-6}$, $\rho = 2^{-10}$.

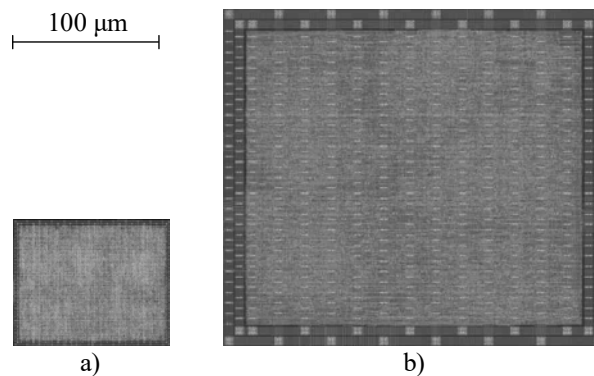
3.24 paveiksle yra pateikti filtro laikinio modeliavimo rezultatai, kai įjungtas tik vienas BIR filtras ir išjungta integrinė filtro dalis. Naudojami filtro koeficientai yra $\lambda_1 = 2^{-5}$, $\alpha = 2^{-6}$. Tokia filtro konfigūracija perjungia DS į I-ąjį tipą. Šiame paveiksle matyti, kad tik pirmoji BIR pakopa atlieka filtravimą, o likusios dalys perleidžia signalą nepakeistą. Kadangi yra išjungta integrinė dalis, filtro išėjimo signalu neliko žingsnių, kurie buvo matomi 3.23 paveiksle. Filtro išėjimo signalo

forma yra panaši į BIR filtro išėjimo signalą, tačiau šiuo atveju, kaip ir 3.23 paveiksle, jo mastelis yra padidintas.



3.24 pav. I-ojo tipo dažnio sintetatoriaus filtro laikinio modeliavimo rezultatai, kai naudojama viena BIR filtro pakopa ir perdavimo koeficientai lygūs $\lambda_1 = 2^{-5}$, $\alpha = 2^{-6}$

Fig. 3.24. Transient simulation results of type-I frequency synthesiser's filter, when one IIR filter stages are used and coefficients are λ_1 , $\alpha = 2^{-6}$



3.25 pav. Taikant 65 nm technologiją (a) ir 0,13 μm technologiją (b) sukurto dažnio sintetatoriaus filtro integrinio grandyno topologijos vaizdas

Fig. 3.25. Layout of designed filter for frequency synthesiser in 65 nm technology (a) and 0,13 μm technology (b)

Kaip ir LSK atveju, yra sudaryti TCL skriptai Cadence programinei įrangai, skirti sintezatoriaus filtro integriniam grandynui sintezuoti ir automatiškai sudaryti jo IG topologiją.

Filtras yra sintezuotas taikant tyrimų metu universitetui prieinamas IBM (GlobalFoundries) 0,13 μm ir TSMC 65 nm KMOP integrinių grandynų technologijas. Sukurtų ir sintezuotų filtro integrinių grandynų topologijų vaizdai yra pateikti 3.25 paveiksle.

Visi filtro perdavimo koeficientai yra nustatomi 5 bitų žodžiais, filtro įėjimo ir išėjimo signalų plotis 20 bitų. Maitinimo įtampa taikant abi technologijas yra 1,2 V, darbinis dažnis iki 100 MHz. Taikant 65 nm technologiją filtro branduolys užima 100,2 $\mu\text{m} \times 80,14 \mu\text{m}$ lusto ploto, o viso filtro plotas, įskaitant maitinimo žiedus, užima 108 $\mu\text{m} \times 88 \mu\text{m}$. Taikant 0,13 μm technologiją filtro branduolys užima 230,68 $\mu\text{m} \times 202,4 \mu\text{m}$ lusto ploto, o viso filtro plotas, įskaitant maitinimo žiedus, užima 262,0 $\mu\text{m} \times 233,6 \mu\text{m}$.

3.4. Trečiojo skyriaus išvados

1. Siūlomos struktūros laikinis skaitmeninis keitiklis (LSK) yra sintezuotas ir jo integrinis grandynas sukurtas taikant 65 nm ir 0,13 μm KMOP integrinių grandynų gamybos technologijas, naudojant Cadence skaitmeninių integrinių grandynų projektavimo įrankius. LSK naudojamų žiedinių generatorių parametrai sąlygoja siūlomos struktūros LSK skiriamąją gebą, todėl sintezuoti generatoriai buvo modeliuojami naudojant analoginių integrinių grandynų projektavimo įrankius.
2. Tipinėse darbo sąlygose, kai maitinimo įtampa yra 1,2 V, temperatūra 40 °C LSK žiedinio generatoriaus dažnis gali būti keičiamas nuo 0,68 iki 3,38 GHz ir nuo 0,33 iki 0,71 GHz taikant atitinkamai 65 nm ir 0,13 μm technologiją. Generatoriaus pakopos vėlinimo trukmė gali būti keičiama nuo 491 iki 98 ps ir nuo 1,013 iki 0,466 ns taikant atitinkamai 65 nm ir 0,13 μm technologiją. Kad generatorius startuotų, bent 3 ir 5 žiedinio generatoriaus sekcijos turi būti įjungtos taikant atitinkamai 65 nm ir 0,13 μm technologiją. Generatoriaus vėlinimo trukmės žingsnis, atitinkantis LSK skiriamąją gebą, kinta nuo 3,2 iki 0,8 ps ir nuo 5,8 iki 1,1 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją, kai lygiagrečiai įjungtų generatoriaus sekcijų skaičius keičiamas nuo 20 iki 48. Viso LSK integrinio grandyno užimamas lusto plotas lygus 123 $\mu\text{m} \times 148,8 \mu\text{m}$ ir 244,2 $\mu\text{m} \times 295,8 \mu\text{m}$ taikant atitinkamai 65 nm ir 0,13 μm technologiją.

3. Nors LSK žiedinio generatoriaus pakopos vėlinimo trukmė taikant $0,13\ \mu\text{m}$ technologiją yra nuo 1,32 iki 7,37 kartų didesnė lyginant su pakopos vėlinimo trukme taikant $65\ \text{nm}$ technologiją, galima pasiekti mažą vėlinimo trukmės žingsnį, artimą $1\ \text{ps}$, todėl šį LSK galima naudoti daugiajuosčiuose belaidžio ryšio siųstuvų-imtuvų integriniuose grandynuose.
4. Darbe suprojektuotas skaitmeniniu būdu valdomo LC-SVG integrinis grandynas taikant $0,18\ \mu\text{m}$ technologiją. LC-SVG panaudota daugiakontūrinė struktūra, kurios branduolys susideda iš neigiamos pilnutinės varžos NMOP tranzistorių poros ir grubiai bei tiksliai valdomo LC kontūro. Galimų dažnių ruožui padidinti panaudotas 2-256 ETSPC daliklis. Pagrindiniai suprojektuoto LC-SVG parametrai: modeliuotas ir išmatuotas dažnio ruožas atitinkamai lygus $4,3\text{--}5,44\ \text{GHz}$ ir $4,12\text{--}5,12\ \text{GHz}$; modeliuotas ir išmatuotas fazės triukšmas atitinkamai lygus $-116,4\ \text{dBc/Hz}$ ir $-110,12\ \text{dBc/Hz}$ esant $1\ \text{MHz}$ nuokrypiui nuo atitinkamai $5,44\ \text{GHz}$ ir $5,12\ \text{GHz}$ dažnio nešlio; technologija: IBM RF $0,18\ \mu\text{m}$ KMOP; maitinimo įtampa: $1,8\ \text{V}$; Vartojamoji srovė: $10\ \text{mA}$ – SVG branduolio, $90\ \text{mA}$ – viso lusto, $140\ \text{mA}$ – matavimo plokštės; plotas: $1,5\ \text{mm} \times 1,5\ \text{mm}$ – viso lusto, $0,4\ \text{mm} \times 0,5\ \text{mm}$ – aktyviosios dalies.
5. Platus perderinimo ruožas ir didelis dalybos reikšmių pasirinkimas leidžia suprojektuotą SVG taikyti daugiajuosčiuose siųstuvų-imtuvų integriniuose grandynuose.
6. Sudarytas dažnio sintezatoriaus skaitmeninio filtro integrinis grandynas, sudarytas iš proporcinės ir integrinės perdavimo dalies bei keturių pirmos eilės BIR filtrų pakopos. Visi filtro blokai gali būti nepriklausomai įjungiami ir išjungiami bei gali būti keičiami jų perdavimo koeficientai. Tokia filtro struktūra leidžia keisti dažnio sintezatoriaus tipą ir eilę bei valdyti sintezatoriaus dažnines charakteristikas.
7. Skaitmeninio filtro integrinis grandynas sintezuotas taikant $65\ \text{nm}$ ir $0,13\ \mu\text{m}$ KMOP integrinių grandynų gamybos technologijas. Viso filtro integrinis grandynas su maitinimo žiedais užima $108\ \mu\text{m} \times 88\ \mu\text{m}$ plotą taikant $65\ \text{nm}$ technologiją ir $262,0\ \mu\text{m} \times 233,6\ \mu\text{m}$ taikant $0,13\ \mu\text{m}$ technologiją.

Bendrosios išvados

1. Atlikta palyginamoji dažnio sintetatorių belaidžio ryšio siųstuvams-imtuvams analizė, taikant siūlomą kokybės funkciją, parodė, kad taikant nanometrines technologijas visiškai skaitmeniniai DS yra pranašesni už klasikinius, o jų kokybės funkcija siekia $-270,32$ dBc/Hz. Taikant submikronines technologijas įgyvendinti klasikinės struktūros DS yra lygiaverčiai arba pranašesni už visiškai skaitmeninius.

2. Visiškai skaitmeninio dažnio sintetatoriaus struktūra belaidžio ryšio siųstuvams-imtuvams, tinkanti įgyvendinti taikant nanometrines ir submikronines KMOP integrinių grandynų gamybos technologijas, yra sudaryta iš LSK, kurio skiriamoji geba turi būti mažesnė nei 12 ps, kad užtikrinti -90 dBc/Hz fazės triukšmą sintetatoriaus praleidžiamųjų dažnių juostos ribose, kai SVG generuojamo signalo dažnis yra 6 GHz; SVG, kurio dažnio perderinimo ruožas yra bent 1 GHz, o jo fazės triukšmas už praleidžiamųjų dažnių juostos yra mažesnis nei -120 dBc/Hz; ir skaitmeninio dažnio sintetatoriaus filtro, turinčio proporcinę ir integrinę dalis bei papildomus BIR filtrus dažnio sintetatoriaus tipui ir eilei keisti ir tiksliau valdyti praleidžiamųjų dažnių juostą.

3. Sukurtas 2D *Vernier* žiedinio LSK modelis leidžia išmatuoti laiko trukmę tarp įėjimo signalų frontų, mažesnę nei pakopos vėlinimo trukmę. Šis modelis yra įgyvendintas VHDL aparatūros aprašymo kalba ir pritaikytas sintezei taikant nanometrines ir submikronines technologijas, o jo valdymo algoritmas išsprendžia

dviejų dimensijų *Vernier* laikinio skaitmeninio keitiklio, paremto žiediniais generatoriais, išėjimo signalo dekodavimo problemą.

4. 2D *Vernier* žiedinis LSK yra sintezuotas ir jo integrinis grandynas sukurtas taikant 65 nm ir 0,13 μm KMOP integrinių grandynų gamybos technologijas naudojant Cadence skaitmeninių integrinių grandynų projektavimo įrankius. LSK žiedinio generatoriaus vėlinimo trukmės žingsnis, atitinkantis LSK skiriamąją gebą, kinta nuo 3,2 ps iki 0,8 ps ir nuo 5,8 ps iki 1,1 ps taikant atitinkamai 65 nm ir 0,13 μm technologiją, esant tipinėms darbo sąlygoms, kai lygiagrečiai įjungtų generatoriaus sekcijų skaičius keičiamas nuo 20 iki 48. LSK žiedinio generatoriaus pakopos vėlinimo trukmė taikant 0,13 μm technologiją yra nuo 1,3 iki 7,4 kartų didesnė lyginant su pakopos vėlinimo trukme taikant 65 nm technologiją, tačiau siūloma struktūra leidžia pasiekti mažą vėlinimo trukmės žingsnį, artimą 1 ps.

5. Suprojektuotas daugiakontūrio skaitmeniniu būdu valdomo LC generatoriaus integrinis grandynas taikant 0,18 μm technologiją. Naudojant du SVG branduolius, gaunamas 4,17–5,12 GHz dažnio perderinimo ruožas, fazės triukšmas, lygus –110,12 dBc/Hz esant 1 MHz nuokrypiui nuo 5,12 GHz nešlio, o galimų dažnių ruožui padidinti, kartu su SVG naudojamas dažnio daliklis, su dalybos koeficientu nuo 2 iki 256. SVG branduolio ir matavimo plokštės vartojamoji srovė atitinkamai yra 10 mA ir 140 mA iš 1,8 V įtampos šaltinio.

6. Taikant 65 nm ir 0,13 μm technologijas sintezuotas dažnio sintetatoriaus skaitmeninio filtro integrinis grandynas, sudarytas iš proporcinės ir integrinės perdavimo dalies bei keturių pirmos eilės BIR filtrų pakopos. Tokia skaitmeninio filtro struktūra leidžia nustatyti I-ąjį arba II-ąjį sintetatoriaus tipą ir keisti sintetatoriaus eilę nuo pirmos iki šeštos, o jo darbo dažnis yra iki 100 MHz. Visi tokio filtro blokai gali būti nepriklausomai įjungiami ir išjungiami bei gali būti keičiami jų perdavimo koeficientai nuo 2^{-1} iki 2^{-31} .

Literatūra ir šaltiniai

Analog Devices 2017. Integrated, Dual RF Transceiver with Observation Path AD9375. Prieiga per internetą: <http://www.analog.com/en/products/rf-microwave/integrated-transceivers-transmitters-receivers/wideband-transceivers-ic/ad9375.html?doc=AD9375.pdf>.

Analog Devices 2013. RF Agile Transceiver AD9361. Prieiga per internetą: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9361.pdf>.

Apostolidou, M.; Baltus, P. G. M.; Vaucher, C. S. 2008. Phase noise in frequency divider circuits 2008 *IEEE International Symposium on Circuits and Systems*. IEEE. DOI: 10.1109/ISCAS.2008.4541973.

Babaie, M.; Ferreira, S. B.; Kuo, F.; Staszewski, R. B. 2018. A 4.4mW-TX, 3.6 mW-RX Fully Integrated Bluetooth Low Energy Transceiver for IoT Applications *Hybrid ADCs, Smart Sensors for the IoT, and Sub-1V & Advanced Node Analog Circuit Design.*, Cham: Springer International Publishing. DOI: 10.1007/978-3-319-61285-0_18.

Bareisa, E.; Jusas, V.; Motiejunas, K.; Motiejunas, L.; Seinauskas, R. 2018. Black box delay fault models for non-scan sequential circuits, *Computer Science and Information Systems* 15(1): 237–256. DOI: 10.2298/CSIS161118040B.

Best, R. E. 2007. *Phase-Locked Loops: Design, Simulation, and Applications, Sixth Edition* 6th ed. McGraw-Hill.

- Cadeddu, S.; *et al.* 2017. A Time-to-Digital Converter Based on a Digitally Controlled Oscillator, *IEEE Transactions on Nuclear Science* 9499(c): 1–8. DOI: 10.1109/TNS.2017.2726822.
- Chen, H. K.; Wang, T.; Lu, S. S. 2011. A millimeter-wave CMOS triple-band phase-locked loop with a multimode LC-based ILFD, *IEEE Transactions on Microwave Theory and Techniques* 59(5): 1327–1338. DOI: 10.1109/TMTT.2011.2117434.
- Chen, X.; Chen, Y. 2011. A 9.95–11.5Gb/s full rate CDR with jitter attenuation PLL in 65-nm CMOS technology, *International Conference on Communication Technology Proceedings, ICCT* (60976029): 273–276. DOI: 10.1109/ICCT.2011.6157877.
- Chen, X.; Yang, J.; Shi, L. X. 2011. A fast locking all-digital phase-locked loop via feed-forward compensation technique, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 19(5): 857–868. DOI: 10.1109/TVLSI.2009.2039971.
- Cheng, K. H.; Tsai, Y. C.; Lo, Y. L.; Huang, J. S. 2011. A 0.5-V 0.4–2.24-GHz inductorless phase-locked loop in a system-on-chip, *IEEE Transactions on Circuits and Systems I: Regular Papers* 58(5): 849–859. DOI: 10.1109/TCSI.2010.2089559.
- Cheng, Z.; Zheng, X.; Deen, M. J.; Peng, H. 2016. Recent Developments and Design Challenges of High-Performance Ring Oscillator CMOS Time-to-Digital Converters, *IEEE Transactions on Electron Devices* 63(1): 235–251. DOI: 10.1109/TED.2015.2503718.
- Chu, H. C.; Hua, Y. H.; Hung, C. C. 2016. A fast-locking all-digital phased-locked loop with a 1 ps resolution time-to-digital converter using calibrated time amplifier and interpolation digitally-controlled-oscillator 2016 *IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*. IEEE. DOI: 10.1109/EDSSC.2016.7785286.
- Deng, Z.; Niknejad, A. M. 2010. The Speed–Power Trade-Off in the Design of CMOS True-Single-Phase-Clock Dividers, *IEEE Journal of Solid-State Circuits* 45(11): 2457–2465. DOI: 10.1109/JSSC.2010.2074290.
- Devos, A.; Vigilante, M.; Reynaert, P. 2016. Multiphase digitally controlled oscillator for future 5G phased arrays in 90 nm CMOS 2016 *IEEE Nordic Circuits and Systems Conference (NORCAS)*. IEEE. DOI: 10.1109/NORCHIP.2016.7792882.
- Dudek, P.; Szczepański, S.; Hatfield, J. V. 2000. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line, *IEEE Journal of Solid-State Circuits* 35(2): 240–247. DOI: 10.1109/4.823449.
- Effendrik, P.; Jiang, W.; Van De Gevel, M.; Verwaal, F.; Staszewski, R. B. 2011. Time-to-digital converter (TDC) for WiMAX ADPLL in 40-nm CMOS 2011 *20th European Conference on Circuit Theory and Design, ECCTD 2011*. IEEE. DOI: 10.1109/ECCTD.2011.6043362.
- Feng-Wei Kuo; Chen, R.; Yen, K.; Hsien-Yuan Liao; Chewn-Pu Jou; Fu-Lung Hsueh; Babaie, M.; Staszewski, R. B. 2014. A 12mW all-digital PLL based on class-F DCO for 4G phones in 28nm CMOS 2014 *Symposium on VLSI Circuits Digest of Technical Papers*. IEEE. DOI: 10.1109/VLSIC.2014.6858393.

Ferriss, M.; Sadhu, B.; Rylyakov, A.; Ainspan, H.; Friedman, D. 2015. A 13.1-to-28GHz fractional-N PLL in 32nm SOI CMOS with a Delta-Sigma noise-cancellation scheme *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*. IEEE. DOI: 10.1109/ISSCC.2015.7062991.

Gardner, F. 2005. *Phaselock Techniques* 3rd ed., New York: John Wiley & Sons. DOI: 10.1002/0471732699.

Hedayati, H.; Bakkaloglu, B. 2012. A 3 GHz wideband $\Sigma \Delta$ fractional-N synthesizer with switched-RC sample-and-hold PFD, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 20(9): 1681–1690. DOI: 10.1109/TVLSI.2011.2161500.

Hsu, C. M.; Straayer, M. Z.; Perrott, M. H. 2008. A low-noise wide-BW 3.6-GHz digital $\Delta\Sigma$ fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation, *IEEE Journal of Solid-State Circuits* 43(12): 2776–2786. DOI: 10.1109/JSSC.2008.2005704.

Hsueh, Y. L.; Cho, L. C.; Shen, C. H.; Tsai, Y. C.; Chueh, T. C.; Chang, T. Y.; Hsu, J. L.; Zhan, J. H. C. 2014. A 0.29mm² frequency synthesizer in 40nm CMOS with 0.19psrms jitter and <-100dBc reference spur for 802.11ac *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. IEEE. DOI: 10.1109/ISSCC.2014.6757518.

Hua, S.; Yang, H.; Liu, Y.; Li, Q.; Wang, D. 2012. A power and area efficient CMOS charge-pump phase-locked loop, *ICSICT 2012 - 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, Proceedings 2*: 2–4. DOI: 10.1109/ICSICT.2012.6466694.

Huang, M.; Yu, C. H.; Tsai, J. H.; Huang, T. W. 2012. A low-power 24 GHz phase lock loop with gain-boosted charge pump embedded in 0.18 μ m COMS technology, *Asia-Pacific Microwave Conference Proceedings, APMC*: 643–645. DOI: 10.1109/APMC.2012.6421689.

Huang, Z.; Luong, H. C. 2015. A dithering-less 54.79-to-63.16GHz DCO with 4-Hz frequency resolution using an exponentially-scaling C-2C switched-capacitor ladder, *IEEE Symposium on VLSI Circuits, Digest of Technical Papers* 2015–August: C234–C235. DOI: 10.1109/VLSIC.2015.7231269.

Huang, Z.; Luong, H. C. 2017. Design and Analysis of Millimeter-Wave Digitally Controlled Oscillators with C-2C Exponentially Scaling Switched-Capacitor Ladder, *IEEE Transactions on Circuits and Systems I: Regular Papers* 64(6): 1299–1307. DOI: 10.1109/TCSI.2017.2657792.

Hung, C. C.; Liu, S. I. 2011. A 40-GHz fast-locked all-digital phase-locked loop using a modified bang-bang algorithm, *IEEE Transactions on Circuits and Systems II: Express Briefs* 58(6): 321–325. DOI: 10.1109/TCSII.2011.2149610.

Jang, S. L.; Wu, Y. K.; Liu, C. C.; Huang, J. F. 2009. A dual-band CMOS voltage-controlled oscillator implemented with dual-resonance LC tank, *IEEE Microwave and Wireless Components Letters* 19(12): 816–818. DOI: 10.1109/LMWC.2009.2033526.

- Jiang, B.; Xia, T. 2015. ADPLL design parameters determinations through noise modeling, *Integration, the VLSI Journal* 48(1): 138–145. DOI: 10.1016/j.vlsi.2014.08.001.
- Jiang, B.; Xia, T. 2012. ADPLL variables determinations based on phase noise, spur and locking time, *International System on Chip Conference*: 39–44. DOI: 10.1109/SOCC.2012.6398377.
- Jiang, W. 2011. *ADPLL Design for WiMAX*. TU Delft. DOI: uuid:abe493a5-49d3-4822-8186-9ed1b15d3eaf.
- Jin, J.; Liu, X.; Qin, P.; Zhou, J. 2011. A fractional-N PLL with fast Auto-Frequency Calibration for CMMB tuners *2011 International Symposium on Integrated Circuits, ISIC 2011*. IEEE. DOI: 10.1109/ISICir.2011.6132016.
- Kiela, K. 2017. *Integrinių analoginių filtrų belaidžio ryšio sistemoms kūrimas*. Vilniaus Gedimino technikos universitetas.
- Kiela, K.; Navickas, R. 2016. A Method for Continuous Tuning of MOSFET–RC Filters with Extended Control Range, *Journal of Electrical Engineering* 67(6): 449–453. DOI: 10.1515/jee-2016-0066.
- Ko, C. T.; Pun, K. P.; Gothenberg, A. 2015. A 5-ps Vernier sub-ranging time-to-digital converter with DNL calibration, *Microelectronics Journal* 46(12): 1469–1480. DOI: 10.1016/j.mejo.2015.06.016.
- Kong, L.; Razavi, B. 2017. A 2.4-GHz 6.4-mW Fractional-N Inductorless RF Synthesizer, *IEEE Journal of Solid-State Circuits* 52(8): 2117–2127. DOI: 10.1109/JSSC.2017.2686838.
- Kratyuk, V.; Hanumolu, P. K. K.; Ok, K.; Moon, U. K. M. U. K.; Mayaram, K. 2009. A Digital PLL With a Stochastic Time-to-Digital Converter, *Circuits and Systems I: Regular Papers, IEEE Transactions on* 56(8): 1612–1621. DOI: 10.1109/TCSI.2008.2010109.
- Lee, J. Y.; Park, M. J.; Min, B. H.; Kim, S.; Park, M. Y.; Yu, H. K. 2012. A 4-GHz all digital PLL with low-power TDC and phase-error compensation, *IEEE Transactions on Circuits and Systems I: Regular Papers* 59(8): 1706–1719. DOI: 10.1109/TCSI.2012.2206500.
- Li, Z.; Jiang, Y.; Shu, H.; Hou, N. 2011. A 5-GHz frequency synthesizer with AFC for low if ZigBee transceiver applications, *2011 IEEE 9th International New Circuits and Systems Conference, NEWCAS 2011*: 530–533. DOI: 10.1109/NEWCAS.2011.5981336.
- Lime Microsystems 2015. FPRF MIMO Transceiver IC With Integrated Microcontroller LMS7002M. Prieiga per internetą: <http://www.limemicro.com/wp-content/uploads/2015/09/LMS7002M-Data-Sheet-v2.8.0.pdf>.
- Liu, X.; McDonald, J. F. 2012. A wide band locking range quarter-phasegenerator PLL using 0.13um BiCMOS technology, *Proceedings - 2012 IEEE Computer Society Annual Symposium on VLSI, ISVLSI 2012* (Cc): 131–134. DOI: 10.1109/ISVLSI.2012.69.

- Liu, Y.; Han, Y.; Rhee, W.; Oh, T. Y.; Wang, Z. 2014. A PSRR enhancing method for GRO TDC based clock generation systems, *IEEE Transactions on Circuits and Systems I: Regular Papers* 61(3): 680–688. DOI: 10.1109/TCSI.2013.2284177.
- Liu, Y. C.; Chen, W. Z.; Chou, M. H.; Tsai, T. H.; Lee, Y. W.; Yuan, M. S. 2013. A 0.1–3GHz cell-based fractional-N all digital phase-locked loop using $\Delta\Sigma$ noise-shaped phase detector, *Proceedings of the Custom Integrated Circuits Conference*. DOI: 10.1109/CICC.2013.6658528.
- Lu, P.; Andreani, P.; Liscidini, A. 2013. A 2-D GRO vernier time-to-digital converter with large input range and small latency, *Digest of Papers - IEEE Radio Frequency Integrated Circuits Symposium*: 151–154. DOI: 10.1109/RFIC.2013.6569547.
- Lu, P.; Andreani, P.; Liscidini, A. 2012. A 90nm CMOS gated-ring-oscillator-based 2-dimension Vernier time-to-digital converter, *Norchip 2012*. DOI: 10.1109/NORCHP.2012.6403120.
- Lu, P.; Liscidini, A.; Andreani, P. 2012. A 3.6 mW, 90 nm CMOS gated-vernier time-to-digital converter with an equivalent resolution of 3.2 ps, *IEEE Journal of Solid-State Circuits* 47(7): 1626–1635. DOI: 10.1109/JSSC.2012.2191676.
- Lu, P.; Sjoland, H. 2009. A 5GHz 90-nm CMOS all digital phase-locked loop 2009 *IEEE Asian Solid-State Circuits Conference*. IEEE. DOI: 10.1109/ASSCC.2009.5357180.
- Lu, P.; Wu, Y.; Andreani, P. 2016. A 2.2-ps Two-Dimensional Gated-Vernier Time-to-Digital Converter with Digital Calibration, *IEEE Transactions on Circuits and Systems II: Express Briefs* 63(11): 1019–1023. DOI: 10.1109/TCSII.2016.2548218.
- Macaitis, V.; Barzdenas, V.; Navickas, R. 2014. Design of 4.48–5.89 GHz LC-VCO in 65 nm RF CMOS Technology, *Electronics and Electrical Engineering* 20(2): 296–298. DOI: 10.5755/j01.eee.20.2.6383.
- Macaitis, V.; Navickas, R. 2015. CMOS technology based LC VCO review 2015 *Open Conference of Electrical, Electronic and Information Sciences (eStream)*. IEEE. DOI: 10.1109/eStream.2015.7119493.
- Macaitis, V.; Navickas, R. 2017a. Comparison of LC-VCO and LC-DCO parameters in 65 nm CMOS technology 2017 *5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*. DOI: 10.1109/AIEEE.2017.8270549.
- Macaitis, V.; Navickas, R. 2017b. Design of multicore digitally controlled oscillator in 65 nm CMOS technology 2017 *Open Conference of Electrical, Electronic and Information Sciences (eStream)*. IEEE. DOI: 10.1109/eStream.2017.7950310.
- Maurath, D.; Tavakoli, A. R.; Vehring, S.; Scholz, P.; Ding, Y.; Boeck, G.; Gerfers, F. 2017. A low-phase noise 12 GHz digitally controlled oscillator in 65 nm CMOS for a FMCW radar frequency synthesizer 2017 *12th European Microwave Integrated Circuits Conference (EuMIC)*. IEEE. DOI: 10.23919/EuMIC.2017.8230702.
- Mendel, S.; Vogel, C. 2007. A z-domain model and analysis of phase-domain all-digital phase-locked loops, *25th Norchip Conference, NORCHIP 00(2)*. DOI: 10.1109/NORCHP.2007.4481030.

- Meng, X.; Huang, L.; Chen, L.; Lin, F. 2011. Area efficiency PLL design using capacitance multiplication based on self-biased architecture, *2011 IEEE International Symposium on Radio-Frequency Integration Technology, RFIT 2011* (2): 193–196. DOI: 10.1109/RFIT.2011.6141766.
- Park, Y.; Wentzloff, D. D. 2011. A cyclic vernier TDC for ADPLLs synthesized from a standard cell library, *IEEE Transactions on Circuits and Systems I: Regular Papers* 58(7): 1511–1517. DOI: 10.1109/TCSI.2011.2158490.
- Park, Y. J.; Yuan, F. 2017. Two-step pulse-shrinking time-to-digital converter, *Microelectronics Journal* 60(December 2016): 45–54. DOI: 10.1016/j.mejo.2016.11.015.
- Pavlovic, N.; Bergervoet, J. 2011. A 5.3GHz digital-to-time-converter-based fractional-N all-digital PLL *2011 IEEE International Solid-State Circuits Conference*. IEEE. DOI: 10.1109/ISSCC.2011.5746216.
- Pittorino, T.; Chen, Y.; Neubauer, V.; Mayer, T.; Maurer, L. 2006. A UMTS-complaint fully digitally controlled oscillator with 100Mhz fine-tuning range in 0.13/spl mu/m CMOS *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*. IEEE. DOI: 10.1109/ISSCC.2006.1696116.
- Plessas, F.; Panagiotopoulos, V.; Kalenteridis, V.; Souliotis, G.; Liakou, F.; Koutsomitsos, S.; Siskos, S.; Birbas, A. 2011. A 60-GHz quadrature PLL in 90nm CMOS, *2011 18th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2011*: 350–353. DOI: 10.1109/ICECS.2011.6122285.
- Pletcher, N. M.; Rabaey, J. M. 2005. A 100 uW, 1.9GHz oscillator with fully digital frequency tuning *Proceedings of the 31st European Solid-State Circuits Conference, 2005. ESSCIRC 2005*. IEEE. DOI: 10.1109/ESSCIR.2005.1541641.
- Pu, Y. G.; Park, A. S.; Park, J. S.; Lee, K. Y. 2011. Low-power, all digital phase-locked loop with a wide-range, high resolution TDC, *ETRI Journal* 33(3): 366–373. DOI: 10.4218/etrij.11.0110.0295.
- Qualcomm 2018. Snapdragon LTE Modems. Prieiga per internetą: <https://www.qualcomm.com/snapdragon/modems/comparison>.
- Rakon 2012. SMD Temperature Compensated Crystal Oscillator: RTX5032A. Prieiga per internetą: http://www.rakon.com/component/docman/doc_download/43-rtx5032a?Itemid=.
- Razavi, B. 1996. Design of Monolithic PhaseLocked Loops and Clock Recovery Circuits-A Tutorial, *Monolithic Phase-Locked Loops and Clock Recovery Circuits:Theory and Design*: 1–39. DOI: 10.1109/9780470545331.ch1.
- Razavi, B. 2013. *Fundamentals of Microelectronics, 2nd Edition*Wiley.
- Samarah, A.; Carusone, A. C. 2013. A digital phase-locked loop with calibrated coarse and stochastic fine TDC, *IEEE Journal of Solid-State Circuits* 48(8): 1829–1841. DOI: 10.1109/JSSC.2013.2259031.

Samarah, A.; Carusone, A. C. 2012. A digital phase-locked loop with calibrated coarse and stochastic fine TDC *Proceedings of the IEEE 2012 Custom Integrated Circuits Conference*. IEEE. DOI: 10.1109/CICC.2012.6330576.

Samarah, A.; Chan Carusone, A. 2012. A dead-zone free and linearized digital PLL, *2012 19th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2012*: 801–804. DOI: 10.1109/ICECS.2012.6463538.

Shekhar, S.; Gangopadhyay, D.; Woo, E. C.; Allstot, D. J. 2011. A 2.4-GHz extended-range type-I $\Sigma^*\Delta$; Fractional-N synthesizer with 1.8-MHz loop bandwidth and -110-dBc/Hz phase noise, *IEEE Transactions on Circuits and Systems II: Express Briefs* 58(8): 472–476. DOI: 10.1109/TCSII.2011.2158752.

Shin, J.; Shin, H. 2012. A 1.9-3.8 GHz fractional-N PLL frequency synthesizer with fast auto-calibration of loop bandwidth and VCO frequency, *IEEE Journal of Solid-State Circuits* 47(3): 665–675. DOI: 10.1109/JSSC.2011.2179733.

Staszewski, R. B.; Vemulapalli, S.; Vallur, P.; Wallberg, J.; Balsara, P.T. 2006. 1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS, *IEEE Transactions on Circuits and Systems II: Express Briefs* 53(3): 220–224. DOI: 10.1109/TCSII.2005.858754.

Staszewski, R. B.; Chih-Ming Hung; Barton, N.; Meng-Chang Lee; Leipold, D. 2005. A digitally controlled oscillator in a 90 nm digital CMOS process for mobile phones, *IEEE Journal of Solid-State Circuits* 40(11): 2203–2211. DOI: 10.1109/JSSC.2005.857359.

Staszewski, R. B.; Wallberg, J. L.; *et al.* 2005. All-digital PLL and transmitter for mobile phones, *IEEE Journal of Solid-State Circuits* 40(12): 2469–2480. DOI: 10.1109/JSSC.2005.857417.

Staszewski, R. B.; Waheed, K.; Vemulapalli, S.; Dulger, F.; Wallberg, J.; Hung, C. M.; Eliezer, O. 2011. Spur-free all-digital PLL in 65nm for mobile phones, *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*: 52–53. DOI: 10.1109/ISSCC.2011.5746215.

Staszewski, R. B.; Waheed, K.; Dulger, F.; Eliezer, O. E. 2011. Spur-Free Multirate All-Digital PLL for Mobile Phones in 65 nm CMOS, *IEEE Journal of Solid-State Circuits* 46(12): 2904–2919. DOI: 10.1109/JSSC.2011.2162769.

Staszewski, R. B. 2011. State-of-the-art and future directions of high-performance all-digital frequency synthesis in nanometer CMOS, *IEEE Transactions on Circuits and Systems I: Regular Papers* 58(7): 1497–1510. DOI: 10.1109/TCSI.2011.2150890.

Staszewski, R. B.; Vemulapalli, S.; Vallur, P.; Wallberg, J.; Balsara, P. T. 2005. Time-to-digital converter for RF frequency synthesis in 90 nm CMOS *RFIC Symposium, 2005. Digest of Papers. 2005 IEEE Radio Frequency integrated Circuits*. IEEE. DOI: 10.1109/RFIC.2005.1489847.

Staszewski, R. B.; Balsara, P. T. 2006. *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, Hoboken, NJ, USA: John Wiley & Sons, Inc. DOI: 10.1002/0470041951.

- Staszewski, R. B.; Balsara, P. T. 2005. Phase-domain all-digital phase-locked loop, *IEEE Transactions on Circuits and Systems II: Express Briefs* 52(3): 159–163. DOI: 10.1109/TCSII.2004.842067.
- Syllaios, I. L.; Balsara, P. T. 2011. Multi-clock domain analysis and modeling of all-digital frequency synthesizers 2011 *IEEE International Symposium of Circuits and Systems (ISCAS)*. IEEE. DOI: 10.1109/ISCAS.2011.5937524.
- Syllaios, I. L.; Balsara, P. T.; Staszewski, R. B. 2007. Time-Domain Modeling of a Phase-Domain All-Digital Phase-Locked Loop for RF Applications, *Proceedings of the IEEE 2007 Custom Integrated Circuits Conference, CICC 2007* (Cicc): 861–864. DOI: 10.1109/CICC.2007.4405864.
- Syllaios, I. L.; Staszewski, R. B.; Balsara, P. T. 2008. Time-domain modeling of an RF all-digital PLL, *IEEE Transactions on Circuits and Systems II: Express Briefs* 55(6): 601–605. DOI: 10.1109/TCSII.2007.916845.
- Takinami, K.; Strandberg, R.; Liang, P. C. P.; de Mercey, G. L. G.; Wong, T.; Hassibi, M. 2011. A rotary-traveling-wave-oscillator-based all-digital PLL with a 32-phase embedded phase-to-digital converter in 65nm CMOS 2011 *IEEE International Solid-State Circuits Conference*. IEEE. DOI: 10.1109/ISSCC.2011.5746237.
- Tamulevicius, G.; Arturas, S.; Sledevic, T.; Navakauskas, D. 2015. Vocabulary distance matrix analysis-based reference template update technique, *Proceedings of the Romanian academy, Series A : mathematics, physics, technical sciences, information science* 16(1): 103–109.
- Tasca, D.; Zanuso, M.; Marzin, G.; Levantino, S.; Samori, C.; Lacaita, A.L. 2011. A 2.9–4.0-GHz Fractional-N Digital PLL With Bang-Bang Phase Detector and 560-fs rms Integrated Jitter at 4.5-mW Power, *IEEE Journal of Solid-State Circuits* 46(12): 2745–2758. DOI: 10.1109/JSSC.2011.2162917.
- Temporiti, E.; Weltin-Wu, C.; Baldi, D.; Tonietto, R.; Svelto, F. 2009. A 3 GHz fractional all-digital pLL with a 1.8 MHz bandwidth implementing spur reduction techniques, *IEEE Journal of Solid-State Circuits* 44(3): 824–834. DOI: 10.1109/JSSC.2008.2012363.
- Tierno, J. A.; Rylyakov, A. V.; Friedman, D. J. 2008. A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI, *IEEE Journal of Solid-State Circuits* 43(1): 42–51. DOI: 10.1109/JSSC.2007.910966.
- Trudgen, G.; Rakon 2009. Phase Noise / Jitter in Crystal Oscillators. Prieiga per internetą: http://www.rakon.com/component/docman/doc_download/225-phase-noise-and-jitter-in-crystal-oscillators%3FItemid.
- Ueda, K.; Uozumi, T.; Endo, R.; Nakamura, T.; Heima, T.; Sato, H. 2012. A digital PLL with two-step closed-locking for multi-mode/multi-band SAW-less transmitter, *Proceedings of the Custom Integrated Circuits Conference*: 4–7. DOI: 10.1109/CICC.2012.6330662.
- Vasjanov, A.; Barzdenas, V. 2016. 0.18 μm CMOS power amplifier architecture comparison for a wideband Doherty configuration, *Informacija MIDE* 46(2): 74–79.

- Vercesi, L.; Fanori, L.; De Bernardinis, F.; Liscidini, A.; Castello, R. 2012. A dither-less all digital PLL for cellular transmitters, *IEEE Journal of Solid-State Circuits* 47(8): 1908–1920. DOI: 10.1109/JSSC.2012.2197130.
- Vercesi, L.; Liscidini, A.; Castello, R. 2010. Two-dimensions vernier time-to-digital converter, *IEEE Journal of Solid-State Circuits* 45(8): 1504–1512. DOI: 10.1109/JSSC.2010.2047435.
- Wang, Z.; Jiang, S.; Jiang, H.; Chi, B. 2018. A K-Band Fractional-N Frequency Synthesizer With a Low Phase Noise LC VCO in 90nm CMOS 2018 *IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE. DOI: 10.1109/ISCAS.2018.8350887.
- Weltin-Wu, C.; Temporiti, E.; Cusmai, M.; Baldi, D.; Svelto, F. 2010. Insights into wideband fractional ADPLLs: Modeling and calibration of nonlinearity induced fractional spurs, *IEEE Transactions on Circuits and Systems I: Regular Papers* 57(9): 2259–2268. DOI: 10.1109/TCSI.2010.2071650.
- Weltin-Wu, C.; Zhao, G.; Galton, I. 2015. A 3.5 GHz Digital Fractional-N PLL Frequency Synthesizer Based on Ring Oscillator Frequency-to-Digital Conversion, *IEEE Journal of Solid-State Circuits* 50(12): 2988–3002. DOI: 10.1109/JSSC.2015.2468712.
- Wu, W. 2013. *Millimeter-Wave Digitally-Assiated Frequency Synthesizer in CMOS*. TU Delft. DOI: 10.4233/uuid:fffc705a-ed90-4228-bd12-b6daa8cc13a2.
- Wu, W.; Staszewski, R.B.; Long, J. 2015. *Millimeter-Wave Digitally Intensive Frequency Generation in CMOS* Academic Press.
- Wu, W.; Staszewski, R. B.; Long, J. R. 2014. A 56.4-to-63.4 GHz multi-rate all-digital fractional-N PLL for FMCW radar applications in 65 nm CMOS, *IEEE Journal of Solid-State Circuits* 49(5): 1081–1096. DOI: 10.1109/JSSC.2014.2301764.
- Wu, X.; Huan, C.; Chen, Z.; Wang, L.; Pan, L. 2011. A monolithic 0.18 μm CMOS frequency synthesizer for WLAN 802.11a application *ICCRD2011 – 2011 3rd International Conference on Computer Research and Development*. IEEE. DOI: 10.1109/ICCRD.2011.5764231.
- Yang, S. Y.; Chen, W. Z.; Lu, T. Y. 2010. A 7.1 mW, 10 GHz all digital frequency synthesizer with dynamically reconfigured digital loop filter in 90 nm CMOS technology, *IEEE Journal of Solid-State Circuits* 45(3): 578–586. DOI: 10.1109/JSSC.2009.2039530.
- Yin, W.; Inti, R.; Elshazly, A.; Young, B.; Hanumolu, P. K. 2011. A 0.7-to-3.5 GHz 0.6-to-2.8 mW highly digital phase-locked loop with bandwidth tracking, *IEEE Journal of Solid-State Circuits* 46(8): 1870–1880. DOI: 10.1109/JSSC.2011.2157259.
- Yole 2017. From Technologies to Market. 5G's impact on RF front-end industry: How will wireless infrastructure and cell phone terminals change in the next decade?. Priciga per internetą: https://www.slideshare.net/Yole_Developpement/5gs-impact-on-rf-frontend-industry-how-will-wireless-infrastructure-and-cell-phone-terminals-change-in-the-next-decade-2017-report-by-yole-developpement.

Yu, J.; Dai, F. F. 2010. A 3-dimensional vernier ring time-to-digital converter in 0.13 μ m CMOS *Proceedings of the Custom Integrated Circuits Conference*. IEEE. DOI: 10.1109/CICC.2010.5617431.

Zanuso, M.; Levantino, S.; Samori, C.; Lacaita, A. L. 2011. A wideband 3.6 GHz digital $\Delta\Sigma$ fractional-N PLL with phase interpolation divider and digital spur cancellation, *IEEE Journal of Solid-State Circuits* 46(3): 627–638. DOI: 10.1109/JSSC.2010.2104270.

Zhuang, J.; Du, Q.; Kwasniewski, T. 2007. A 3.3 GHz LC-based digitally controlled oscillator with 5kHz frequency resolution *2007 IEEE Asian Solid-State Circuits Conference*. IEEE. DOI: 10.1109/ASSCC.2007.4425722.

Autoriaus mokslinių publikacijų disertacijos tema sąrašas

Straipsniai recenzuojamuose mokslo žurnaluose

Jurgo M., Navickas R. 2017. Synthesizable 2D Vernier TDC based on gated ring oscillators, *Informacija MIDE M - Journal of Microelectronics, Electronic Components and Materials* 47(4): 223–231. ISSN 0352-9045. eISSN 2232-6979. Clarivate Analytics Web of Science. Citav. rod.: 0,478.

Jurgo M., Navickas R. 2016. Design of gigahertz tuning range 5 GHz LC digitally controlled oscillator in 0.18 μm CMOS, *Journal of electrical engineering - Elektrotechnický casopis* 67(2): 143–148. ISSN 1335-3632. eISSN 1339-309X. Clarivate Analytics Web of Science. Citav. rod.: 0,483.

Mačaitis V., Jurgo M., Charlamov J., Barzdėnas V. 2016. A 3.0 – 3.6 GHz LC-VCO with ETSPC Frequency Divider in 0.18-micron CMOS technology, *Informacija MIDE M - Journal of Microelectronics, Electronic Components and Materials* 46(1): 36–41. ISSN 0352-9045. eISSN 2232-6979. Clarivate Analytics Web of Science. Citav. rod.: 0,478.

Jurgo, M., Kiela, K., Navickas, R. 2013. Design of low noise 10 GHz divide-by-16...511 Frequency Divider, *Elektronika ir Elektrotechnika* 19(6): 87–90. ISSN 1392-1215. Clarivate Analytics Web of Science. Citav. rod.: 0,445.

Jurgo M., Navickas R. 2017. Laikinio skaitmeninio keitiklio skiriamosios gebos didinimas, *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika/Science – future of Lithuania: Electronics and electrical engineering* 9(3): 318–323. ISSN 2029-2341. eISSN 2029-2252

Jurgo M., Navickas R. 2016. Dažnio sintezatorių daugiastandarčiams bevielio ryšio siųstuvams ir imtuvams analizė, *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika/Science – future of Lithuania: Electronics and electrical engineering* 8(3): 302–307. ISSN 2029-2341. eISSN 2029-2252.

Straipsniai kituose leidiniuose

Jurgo M., Navickas R. 2017. Comparison of TDC parameters in 65 nm and 0.13 μm CMOS, *The 5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE'2017)* 1–4. ISBN 9781538641385. eISBN 9781538641378.

Summary in English

Introduction

Problem formulation

In recent years wireless technologies and services based on them are rapidly spreading – existing mobile standards are being improved and new standards are being developed, wireless network at home, workplace and public places is a necessity, number of Internet of Things devices and personal wireless gadgets is growing rapidly. One of the main components of the wireless system is a transceiver, which uses frequency synthesisers as a local high-frequency signal generator. In order to support various wireless standards in single device, wide tuning-range (often up to 6.0 GHz), low phase noise (-90 – 100 dBc/Hz at 1 kHz offset from carrier, -110 – 120 dBc/Hz at 1 MHz offset from carrier) frequency synthesisers are needed.

The implementation of conventional (analog) frequency synthesiser in modern technologies becomes more complicated, because due to reduction of sizes in CMOS technologies, which are used to manufacture micro- and nanosystems, it becomes more difficult to ensure parameters of synthesiser for wireless applications (e.g. operating frequency, phase noise level, frequency tuning range) due to decreasing supply voltage, what increases impact of leakage currents, decreases frequency tuning range and signal to noise ratio. Therefore, the switch to all-digital frequency synthesiser is being investigated, because these synthesisers, due to its digital nature, do not have flaws typical for integrated circuits of conventional frequency synthesisers. However, the main blocks of all-digital

frequency synthesisers are not sufficiently investigated in order to use them widely in multi-band wireless transceivers.

Therefore, the problem investigated in the dissertation is the synthesis complexity of integrated circuits of frequency synthesisers and their blocks for multi-band wireless transceivers in nanometric CMOS integrated circuit technologies when power supply voltage decreases, what increases impact of leakage currents, decreases frequency tuning range and signal to noise ratio. In order to solve this problem a hypothesis is raised and proven that all-digital frequency synthesisers in nanometric CMOS technologies allow to achieve parameters required for multiband wireless transceivers (e.g. low phase noise, high operating frequency and frequency tuning range) and are more appropriate than conventional frequency synthesisers.

Relevance of the thesis

With the spread of a 4G mobile networks, the advancement of local area network standards and the development of 5G network technologies, which are aimed to support the growing number of Internet of Things devices and increasing traffic of their data, accelerate mobile data transfer speed and ensure the critical operation of machines when low latency and high reliability are required, additional requirements for the hardware of wireless systems are emerging. Most of the existing and developing wireless standards use wireless bands up to 6 GHz (Yole 2017). To support the multitude of these standards in a single device, multiband wireless transceivers are used.

Such transceivers are also used in software defined radio, which becomes more popular in recent years. One of the main ideas of software defined radio is the usage of the same hardware for the implementation of different wireless standards, what enables a fast adaptation of the existing equipment to new and developing technologies while reducing the price of the system (Kiela 2017).

In order to save power, chip area and cost, newer integrated circuit manufacturing technologies are being used. However, some of the currently most advanced integrated circuits of multi-band transceivers are implemented in technologies not smaller than 65 nm and are using conventional frequency synthesisers (Analog Devices 2017; Analog Devices 2013; Lime Microsystems 2015). New commercial transceivers are introduced in 28–7 nm technologies (Qualcomm 2018), but due to the small amount of technical data being released, it can only be concluded that they have a limited application scope and have smaller frequency tuning range, compared to transceivers, which are implemented in more mature technology nodes. In Lithuania this area also is little investigated – scientific works on the subject of wireless-transceivers and frequency synthesisers are published by the VGTU scientists V. Barzdėnas, A. Vasjanov (Vasjanov *et al.* 2016), K. Kiela, (Kiela *et al.* 2016), V. Mačaitis, (Macaitis *et al.* 2014), while research in the field of intellectual systems and applications of hardware description language and digital synthesis is carried out by VGTU and KTU scientists D. Navakas, A. Serackis, T. Sledovic, G. Tamulevičius (Tamulevicius *et al.* 2015), E. Bareiša, V. Jusas, K. Motiejūnas, R. Šeinauskas (Bareisa *et al.* 2018).

It can be stated that structures of all-digital frequency synthesiser, their constituting blocks and their models are not sufficiently investigated and described, and research in this work is relevant.

The object of the research

The object of research – integrated circuits of high-frequency, wide tuning-range and low phase noise frequency synthesisers, their blocks and their design methods in CMOS technology nodes from 65 nm to 0.18 μm .

The aim of the thesis

The aim of the thesis – to create blocks of all-digital frequency synthesiser that allow to achieve its parameters required for applications in multiband wireless transceivers implemented in nanometric integrated circuit technology nodes.

The objectives of the thesis

To achieve the aim of the thesis following tasks are solved:

1. To investigate the structures of frequency synthesisers, used for wireless transceivers and create structure, which can be implemented in nanometric and sub-micron CMOS technologies.
2. To create and examine models of blocks, used in proposed structure of frequency synthesiser.
3. To create and examine integrated circuits of blocks, used in frequency synthesiser.

Research methodology

For research of nanometric integrated circuits for all-digital frequency synthesisers, analytical, mathematical, computer modelling methods were used. TSMC 40 nm, 65 nm and IBM (GlobalFoundries) 0.13 μm and 0.18 μm CMOS technologies were used for research of integrated circuits of time to digital converter, digitally controlled oscillator and digital filter. During investigation of proposed integrated circuits of frequency synthesiser's blocks computer modelling using Cadence and ModelSim software packages was carried out. Experimental research of manufactured prototype of digitally controlled oscillator was carried out using spectral analysis in 10 MHz–6 GHz frequency range.

Scientific novelty of the thesis

These significant results for science of electrical and electronic engineering were achieved in preparation of the thesis:

1. Integrated circuits of time to digital converter, digitally controlled oscillator and digital filter suitable for multiband all-digital frequency synthesisers were created and impact of created integrated circuits on phase noise of frequency synthesiser was calculated.
2. A new figure of merit was proposed, which allows to perform a comparative analysis of multiband frequency synthesisers of different structures and implemented in various CMOS integrated circuit technologies.
3. A model of time to digital converter, which allows measuring time interval significantly lower than inverter's delay and which can be synthesised in various CMOS technologies, was proposed.

4. A control algorithm, which solves a problem of output signal decoding of two-dimensional *Vernier* time to digital converter, based on gated ring oscillators, was proposed.

Practical value of the research findings

Results achieved during research were used to design blocks of all-digital frequency synthesiser in 65 nm, 0.13 μm and 0.18 μm CMOS integrated circuit technology nodes. Designed blocks of frequency synthesisers can be applied in integrated circuits of current and developing wireless transceivers, operating at frequencies up to 6 GHz. During research designed and investigated integrated circuits and their design methods can be applied for education of master's students and other specialists in the field of micro- and nanoelectronics. Proposed integrated circuit of high-resolution time to digital converter can be used not only in wireless systems but also can be applied in other fields, such as biomedical imaging and measurement systems.

Results of the research were used in:

- Scientific work "Design and Research a Model of Internet of Things Framework and Tools for Intelligent Transport Systems" (No. 16949, 2018).
- Scientific work "Increasing the resolution of time to digital converter in micro and nanosystems for high-speed wireless data transfer" (No. 16430, 2017).
- Scientific work "Research and modelling of nanoelectronics processes" (No. TMT 292, 2012–2016).
- Scientific work "Research and investigation of high frequency integrated circuits for smart wireless communication systems" (No. 10124, 2014).

The defended statements

1. Proposed new figure of merit, which includes the main parameters of frequency synthesisers for wireless transceiver (phase noise, central frequency, frequency tuning-range, power dissipation, area, technological step), allows to perform a comparative analysis of multiband frequency synthesisers of different structures and implemented in various CMOS integrated circuit technologies.
2. The created structure of time to digital converter allows to achieves a resolution close to 1 ps, which is many times lower than the stage-delay in 65 nm and 0.13 μm CMOS technologies (e.g. 98 ps and 466 ps respectively in 65 nm and 0.13 μm technology, when supply voltage is 1.2 V and a number of enabled gated ring oscillator's sections is 48), and its control algorithm solves the problem of output signal decoding of time to digital converter of the 2D ring *Vernier* structures, when the time between the rising edges of input signals is smaller than the product of gated ring oscillator's stage delay and *Vernier* coefficient k , which shows that delay time of $k-1$ stages of lower frequency gated ring oscillator is equal to delay time of k stages of the higher frequency gated ring oscillator.
3. Designed digitally controlled oscillator of proposed structure ensures the gigahertz-order frequency of output signal and wide frequency tuning range (partial

case in 0.18 μm technology – 4.17–5.12 GHz), which are necessary for application of digitally controlled oscillator in multiband frequency synthesiser.

4. All digital frequency synthesiser using synthesisable blocks created during research can be implemented in integrated circuit technology nodes from 65 nm to 0.18 μm .

Approval of the research findings

Seven articles are published on the subject of dissertation: four – in scientific journals included in Clarivate Analytics Web of Science database (Jurgo, Kiela, Navickas 2013; Jurgo, Navickas 2016; Mačaitis, Jurgo, Charlamov, Barzdėnas 2016; Jurgo, Navickas 2017), one – in international conference publications which are referred by Clarivate Analytics Web of Science database Proceedings (Jurgo, Navickas 2017), two – in scientific journal listed in other international databases (Jurgo, Navickas 2016; Jurgo, Navickas 2017).

Research results on the subject of dissertation have been announced in nine scientific conferences in Lithuania and abroad:

- IEEE 18th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*”. Lithuania, Vilnius, 8–9th December 2017.
- IEEE 16th Lithuania-Belarus Workshop „*Advanced microwave devices and systems*”. Lithuania, Vilnius, 4th December 2015.
- IEEE 5th Workshop on „*Advances in Information, Electronic and Electrical Engineering*”. Latvia, Ryga, 24–25th November 2017.
- IEEE International Conference “*Electrical, Electronic and Information Sciences 2017*”. Lithuania, Vilnius, 27–28th April 2017.
- IEEE International Open Conference of „*Electrical, Electronic and Information Sciences (eStream 2016)*”, Lithuania, Vilnius, 19th April 2016.
- Dvidešimt pirmoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 16th March 2018.
- Dvidešimtoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 17–18th March 2017.
- Devynioliktoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 18th March 2016.
- Aštuonioliktoji Lietuvos jaunųjų mokslininkų konferencija „*Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika*”. Lithuania, Vilnius, 20th March 2015.

Structure of the dissertation

The dissertation consists of introduction, three chapters, general conclusions, lists of references and author’s publications on the subject of dissertation, summary in English and 4 annexes.

The total scope of dissertation – 144 pages (without annexes), 96 indexed equations, 76 pictures, 8 tables, and 107 references have been used.

1. Analysis of frequency synthesisers

Recently wireless technologies and services based on them are rapidly spreading. In order to achieve higher data transfer speeds, higher frequency bands started to be used – 5 GHz Wi-Fi network is already common (802.11n or 802.11ac standards), the coverage of the LTE and WiMAX mobile network is increasing and local network, operating at 60 GHz frequencies, is introduced (802.11ad standard). The number of Internet of Things devices is rapidly growing and 5G technologies are being developed. Also, technologies of intelligent traffic systems are emerging, which, as many other current and developing standards, use frequency bands up to 6 GHz.

To support various wireless standards in a single device, integrated circuits (IC) of multiband transceivers are being designed. One of main blocks of such transceiver is high tuning range frequency synthesiser, used as local high frequency signal oscillator. Phase locked loop usually is used as a frequency synthesiser.

There are two main classes of phase-locked loops: conventional (charge-pump) phase locked loop and all-digital phase-locked loop. The implementation of conventional frequency synthesiser in nanometric technologies is complicated, because it is difficult to ensure parameters of synthesiser for wireless applications (e.g. operating frequency, phase noise level) due to decreasing supply voltage, increasing leakage currents as CMOS technology step decreases. Therefore, integrated circuits of all-digital frequency synthesisers were started to investigate, because these synthesisers, due to its digital nature, don't have flaws typical for analog synthesisers.

A model of all-digital frequency synthesiser with included noise sources in s -domain is shown in Fig. S1.1 (Staszewski, Waheed, Vemulapalli, *et al.* 2011; Mendel *et al.* 2007). Main blocks are phase detector, digitally controlled oscillator (DCO) and filter. Main part of phase detector is time to digital converter (TDC), which measures time interval between edges of reference and DCO signals.

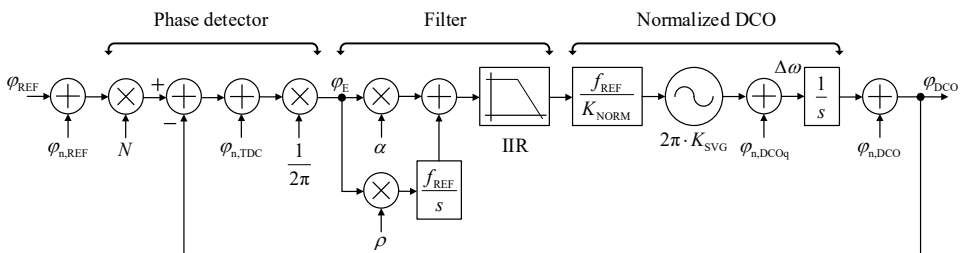


Fig. S1.1. s -domain model of a higher order type-II all digital frequency synthesiser with noise sources

There are two integrators (DCO and integrating path in the filter) and there are additional stages of infinite impulse response (IIR) filter. Therefore, it is type-II higher order frequency synthesiser. Main advantage of type-II structure over type-I is better noise filtering capabilities, but it has worse dynamic characteristics than type-I. Therefore, there

should be an ability to change type of the synthesiser: type-I is used for fast initial frequency acquisition and type-II is used for precise phase (and frequency) tracking. Type-I structure can be made by eliminating integrator – setting proportional gain coefficient ρ to 0.

There are three main phase noise sources: noise of reference signal ($\varphi_{n,REF}$ in Fig. S.1.1), TDC ($\varphi_{n,TDC}$ in Fig. S.1.1) and DCO. Noise induced by DCO has two components: quantisation noise ($\varphi_{n,DCQ}$ in Fig. S.1.1) and oscillator's noise ($\varphi_{n,DCO}$ in Fig. S.1.1).

Total frequency synthesiser's phase noise can be defined as (Mendel *et al.* 2007):

$$\begin{aligned} \mathcal{L}_{FS} = & \mathcal{L}_{Osc,REF}(f) \cdot |H_{cl,REF}(f)|^2 + \mathcal{L}_{TDC} \cdot |H_{cl,TDC}(f)|^2 + \\ & \mathcal{L}_{Osc,DCO}(f) \cdot |H_{cl,DCO}(f)|^2 + \mathcal{L}_{\Delta\Sigma}(f), \end{aligned} \quad (S1.1)$$

where $\mathcal{L}_{Osc,REF}(f)$ and $\mathcal{L}_{Osc,DCO}(f)$ – spectral density of noise of respectively reference signal and oscillator's component of DCO's noise, $\mathcal{L}_{TDC}(f)$ – spectral density of noise induced by TDC, $\mathcal{L}_{\Delta\Sigma}(f)$ – spectral density of DCO's quantisation noise after $\Delta\Sigma$ shaping, $H_{cl,REF}$, $H_{cl,TDC}$, $H_{cl,DCO}$, are respectively closed-loop transfer functions of reference signal noise, TDC quantization noise and oscillator's component of DCO noise.

2. Research of all-digital frequency synthesiser for multiband transceivers

Most common figures of merit do not include main parameter of frequency synthesiser, therefore they are not suitable for quantitative analysis of synthesisers for multiband transceivers. New figure of merit is proposed in this work, which includes all main parameters of multiband frequency synthesisers (phase noise, central frequency, frequency tuning-range, power dissipation, area, technological step):

$$FOM = \mathcal{L}\{f_{off}\} - 10 \lg \left(\frac{f_c \cdot (f_{max} - f_{min})}{f_{off} \cdot \frac{P}{(1 \text{ W})} \cdot \frac{S}{L_{hp} \cdot (1 \text{ m})} \cdot (1 \text{ Hz})} \right). \quad (S2.1)$$

A comparative analysis of frequency synthesisers for wireless transceivers was carried out using proposed figure of merit. It has shown that all-digital frequency synthesisers in nanometric technologies are superior to conventional ones and their figure of merit reaches -168.01 dBc/Hz out of synthesisers bandwidth, when the frequency offset from the carrier frequency is greater than 1 MHz, and -136.46 dBc/Hz in-band, when the frequency offset from the carrier frequency is less than 1 MHz. Conventional frequency synthesisers, implemented in more mature CMOS technologies ($0.18 \mu\text{m}$ and $0.13 \mu\text{m}$), are equivalent to or superior to all-digital frequency synthesisers in same technologies.

Analysis of standards for wireless communication (Yole 2017) is showing, that most of currently available and developing wireless standards are using frequency range up to 6 GHz. Technical documentation of currently some most advanced multiband transceivers (Analog Devices 2017; Lime Microsystems 2015) and theoretical calculation of impact of performance of main synthesiser's block on total phase noise of frequency synthesiser has

shown, that in-band phase noise of frequency synthesiser is dominated by noise induced by TDC, therefore, in order to be able to use frequency synthesiser for multi-band transceivers the resolution of TDC must be better than 12 ps to ensure a phase noise of less than -90 dBc/Hz when frequency of DCO's signal is 6 GHz. The out-of-band phase noise of frequency synthesiser is dominated by noise induced by DCO, therefore its phase noise in this region has to be less than -120 dBc/Hz. Frequency tuning range of DCO has to be wide (at least 1 GHz). The digital synthesiser's filter should consist of a proportional and integral gain parts and additional IIR filters in order to change the type and order of frequency synthesiser and be able to precisely control the bandwidth of synthesiser.

Fig. S.2.1, shows calculated achievable phase noise and its components of all digital frequency synthesiser, when designed time to digital converter's and digitally controlled oscillator's integrated circuits are used. Maximal frequency of designed DCO, which is equal to 5.44 GHz was used for calculations. Also it is assumed, frequency tuning step is 50 kHz, frequency of reference signal is 40 MHz, $\Delta\Sigma$ dithering frequency is equal to divided-by-4 DCO's frequency, $\Delta\Sigma$ modulator controls 8 bits and order of $\Delta\Sigma$ modulator is 2. Also, resolution of TDC is set to 4 ps and it is assumed, that filter's coefficients are $\alpha = 2^{-7}$, $\rho = 2^{-10}$, $\lambda_0 = \lambda_1 = \lambda_2 = \lambda_3 = 2^{-5}$.

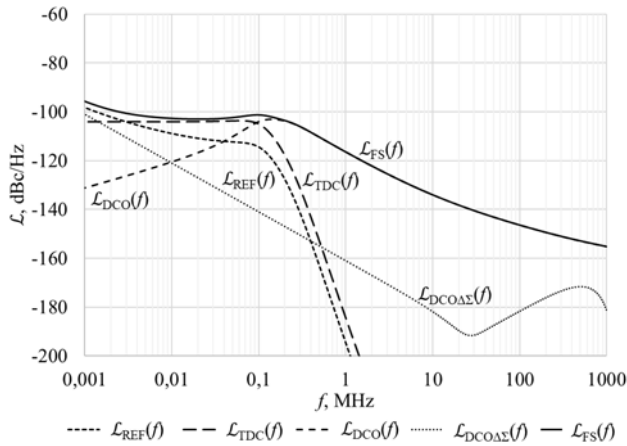


Fig. S2.1. Calculated achievable quantization and $\Delta\Sigma$ shaping noise of designed digitally controlled oscillator (a) and phase noise and its components of frequency synthesiser, when designed

Noise of reference signal was approximated by following equation, derived from data of crystal oscillator (Rakon 2012):

$$\mathcal{L}_{\text{Osc,REF}}(f) = \frac{10^{-6,72}}{f^3} + \frac{10^{-8,52}}{f^2} + \frac{10^{-11,33}}{f} + 10^{-15,71}. \quad (\text{S2.2})$$

Oscillator's component of designed DCO's phase noise is approximated by:

$$\mathcal{L}_{\text{Osc,DCO}}(f) = \frac{10^{5,07}}{f^3} + \frac{10^{-0,29}}{f^2} + \frac{10^{-6,7}}{f} + 10^{-16}. \quad (\text{S2.3})$$

Figure S2.1 shows, that synthesiser's in-band phase noise is lower than -100 dBc/Hz. Out-of-band phase noise corresponds to oscillator's component of DCO's phase noise and is equal to -116.45 dBc/Hz and -134.02 dBc/Hz respectively at 1 MHz and 10 MHz offset from carrier. Out-of band $\Delta\Sigma$ dithering noise is about 20 dBc/Hz lower than DCO's noise.

Simplest time to digital converter is based on inverters' delay line and resolution of such TDC is equal to delay of inverter. Simulation results of inverter's delay in 65 nm and 40 nm technologies have shown, that it can be higher than required 12 ps, to be able to use TDC in modern wideband synthesiser. Therefore, methods to improve resolution of TDC should be investigated. One of them is technological improvement – its essence is to increase inverter's current for faster charging and discharging inverter's load capacitance. But in often cases designers cannot change most of technological parameters and design is restricted to the usage of specific CMOS technology, in which inverter's delay does not ensure needed synthesiser's noise level. In such case, structure of the TDC needs to be improved. The aim of this improvement is to measure time interval smaller than inverter's delay. Several structures of TDC can measure sub-inverter delay time: TDC – *Vernier* delay line, TDC – 2D *Vernier* plane, stochastic, ring and multistage TDCs.

In this work, the model of 2D *Vernier* TDC based on ring oscillators is presented. It is variety of 2D gated ring oscillator TDC (Lu *et al.* 2016) and allows to achieve sub-inverter resolution. Another major advantage of 2D *Vernier* TDC is faster calculation of output signal, compared to 1D structure. The structure of TDC is shown in Fig. S2.2. Main blocks of TDC are lower and higher frequency gated ring oscillators (GRO_L and GRO_H), matrix of arbiters, lap and edge counters of both oscillators, control block and output decoder. Gated ring oscillators (GRO) are working at different frequencies and in this case, it is counterparts of delay lines, which are made of inverters with different delay values in 2D *Vernier* TDC, i.e. these oscillators are treated as infinite delay lines, since output of last inverter is connected to the input of first inverter. Only three stages are used in oscillators to minimize their area and arbiter matrix, since needed number of arbiters is equal to the product of count of delay stages used in two oscillators. This model is implemented using VHDL hardware description language and is prepared for synthesis.

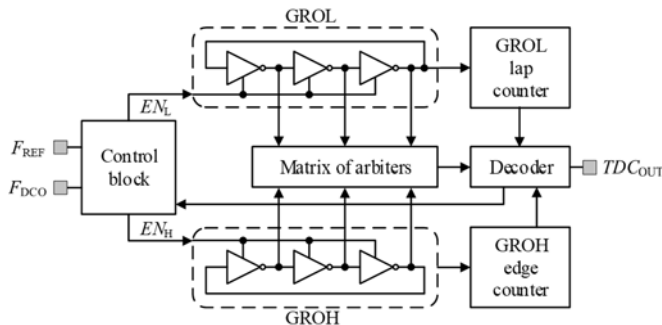


Fig. S2.2. Structure of proposed 2D *Vernier* time to digital converter based on gated ring oscillators. GRO_L – lower frequency oscillator, GRO_H – higher frequency oscillator

The resolution of designed TDC is described as difference of delay of stages from which two oscillators are consisted. To have the ability to control the resolution of TDC,

stage delay of oscillator (and its corresponding oscillation frequency) also should be controllable. For this reason, each oscillator is made of multiple parallel-connected oscillator sections. Lowest stage delay is obtained when all sections of oscillator are enabled. Stage delay can be increased by disabling oscillator's sections.

TDC is measuring only positive time intervals, i.e. when the edge of the reference signal is received earlier than the edge of the signal generated by DCO. On the other hand, negative delays are equal to large positive delays (larger than half of the period of the reference signal). At the beginning of the measurement TDC is waiting for the rising edge of the reference signal. When it is received, the lower frequency gated ring oscillator and its lap counter are started and the TDC's input for the reference signal is disabled. After that TDC is waiting for the rising edge of the signal generated by synthesiser's DCO. When it is received, the state of lower frequency oscillator (signal levels after each inverter) is saved, higher frequency oscillator and its edge counter are started and the TDC's input for the signal of DCO is disabled. When both oscillators are started, the output values of arbiters are monitored. When the output of any arbiter changes to high logic level, position of that arbiter is searched and depending on that position, the output signal of TDC is decoded. After that, all counters are reset, both inputs of TDC are enabled and TDC is waiting for another pair of the input signals for new measurement

Distinct case of 2D *Vernier* operation is obtained when the delays of stages composing two oscillators (or delay lines) are related by (S2.4) system of equations (Vercesi *et al.* 2010):

$$\begin{cases} t_{\text{res}} = \Delta = \tau_1 - \tau_2; \\ \tau_1 = k \cdot \Delta; \\ \tau_2 = (k-1) \cdot \Delta, \end{cases} \quad (\text{S2.4})$$

where τ_1 and τ_2 are delays of respectfully lower and higher frequency oscillator's stages. Coefficient k should be set depending on values of τ_1 and τ_2 to meet this system.

In this case, the resolution of 2D *Vernier* TDC is same as of 1D *Vernier* TDC, but we are obtaining continuous *Vernier* plane of TDC's output time samples without breaks or missing points. The values of this plane can be calculated as shown in equation (S2.5).

$$TDC_{\text{OUT}} = k \cdot X - (k-1) \cdot Y, \quad (\text{S2.5})$$

where X and Y are coordinates of *Vernier* plane, which show through how many stages propagated respectfully reference and DCO's signal.

Fragment of calculated plane of TDC's output time samples, when τ_1 is set to 10 ps, τ_2 is set to 9 ps, and $k = 10$, is shown in Fig. S2.3. GRO_{LL} and GRO_{HL} are lap counts of respectfully lower and higher frequency gated ring oscillator, GRO_{LE} and GRO_{HE} are edge counts in one lap of respectfully lower and higher frequency gated ring oscillator. Part of the plane, which is marked in light gray is used for calculation of TDC output. Dark gray area is not used for calculation – it marks negative time intervals which aren't measured by TDC. White area of the plane can be used for TDC output calculation if coefficient k is set to a different value, e.g., if k is set to 15, light gray area in first diagonal would extend to 15, recalculated values of second diagonal would be equal from 16 to 30, values of third diagonal – from 31 to 45, etc.

	GRO_{HL}	GRO_{HE}	Y															
4	3	15	-125	-115	-105	-95	-85	-75	-65	-55	-45	-35	-25	-15	-5	5	15	
	2	14	-116	-106	-96	-86	-76	-66	-56	-46	-36	-26	-16	-6	4	14	24	
	1	13	-107	-97	-87	-77	-67	-57	-47	-37	-27	-17	-7	3	13	23	33	
3	3	12	-98	-88	-78	-68	-58	-48	-38	-28	-18	-8	2	12	22	32	42	
	2	11	-89	-79	-69	-59	-49	-39	-29	-19	-9	1	11	21	31	41	51	
	1	10	-80	-70	-60	-50	-40	-30	-20	-10	0	10	20	30	40	50	60	
2	3	9	-71	-61	-51	-41	-31	-21	-11	-1	9	19	29	39	49	59	69	
	2	8	-62	-52	-42	-32	-22	-12	-2	8	18	28	38	48	58	68	78	
	1	7	-53	-43	-33	-23	-13	-3	7	17	27	37	47	57	67	77	87	
1	3	6	-44	-34	-24	-14	-4	6	16	26	36	46	56	66	76	86	96	
	2	5	-35	-25	-15	-5	5	15	25	35	45	55	65	75	85	95	105	
	1	4	-26	-16	-6	4	14	24	34	44	54	64	74	84	94	104	114	
0	3	3	-17	-7	3	13	23	33	43	53	63	73	83	93	103	113	123	
	2	2	-8	2	12	22	32	42	52	62	72	82	92	102	112	122	132	
	1	1	1	11	21	31	41	51	61	71	81	91	101	111	121	131	141	
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	X
			1	2	3	1	2	3	1	2	3	1	2	3	1	2	3	GRO_{LE}
			0			1			2			3			4			GRO_{LL}

Fig. S2.3. Output calculation plane of 2D *Vernier* time to digital converter

One of the main tasks in 2D *Vernier* TDC, which is based on gated ring oscillators, is output decoding. The output of arbiter will change to high logic level when arbiter's input, connected to $GROH$ stage, will be high and input, connected to $GROL$ stage, is low. Since arbiters in 2D structure are connected between all stages of both gated ring oscillators, even first rising edge of $GROH$ will trigger one or two arbiters. It happens because in three-stage ring oscillator, at any given moment the output signal of one or two inverters is low (it can be seen in Fig. S2.4). For this reason, such TDC can't measure time intervals lower than product of k and Δ using 2D structure and it is needed to evaluate if the output of arbiter is valid. E.g. in our example, if input time interval is lower or equal to 10 ps, arbiter connected between first stage of $GROH$ and second stage of $GROL$ will become high with first $GROH$ edge, since it will always lead second edge of $GROL$ and output of TDC will be incorrectly set to 11 ($X = 2$, $Y = 1$ position in Fig. S2.3). This issue is solved by saving the state of arbiters after first $GROH$ edge, which corresponds to GRO_{LE} in Fig. S2.3. This value, combined with lap count of $GROL$, will give total number of propagated GRO_L stages – coordinate X . After that checking is done in 1D *Vernier* manner: going diagonally up in *Vernier* plane, but only in diagonal starting at coordinate X .

Functional modelling of TDC, implemented in VHDL hardware description language, was done using ModelSim environment. Fig. S2.4 shows the results of functional modelling and main signals of TDC, when τ_1 and τ_2 are respectfully set to 10 ps and 9 ps. As it can be seen, when input time interval is equal to 8 ps, the output of TDC is calculated when eighth edge of higher frequency oscillator outruns eighth edge of lower frequency oscillator. When input time interval is equal to 32 ps, the output of TDC is calculated when second edge of higher frequency oscillator outruns fifth edge of lower frequency oscillator. These results correspond to data in *Vernier* plane, shown in Fig. S2.3.

The Structure of all-digital synthesiser for multiband wireless transceiver is shown in Fig. S2.5 This structure is based on structure, presented in (Staszewski, Waheed, Dulger, *et al.* 2011), but is modified for wide tuning range of output signal and ensures high resolution of TDC.

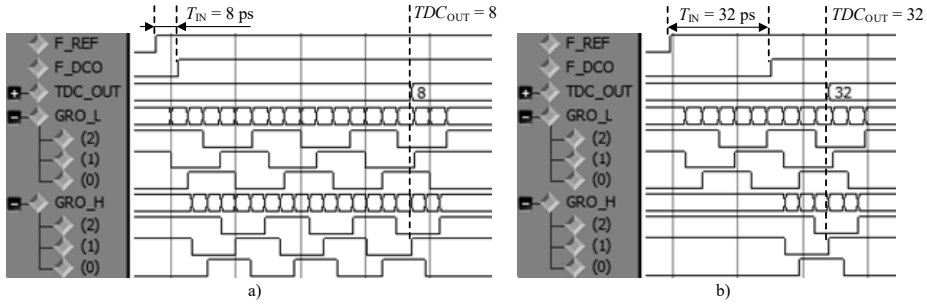


Fig. S2.4. Modeling results of 2D *Vernier* time to digital converter when τ_1 is τ_2 respectively equal to 10 ps and 9 ps and T_{IN} is equal to 8 ps (a) or 32 ps (b)

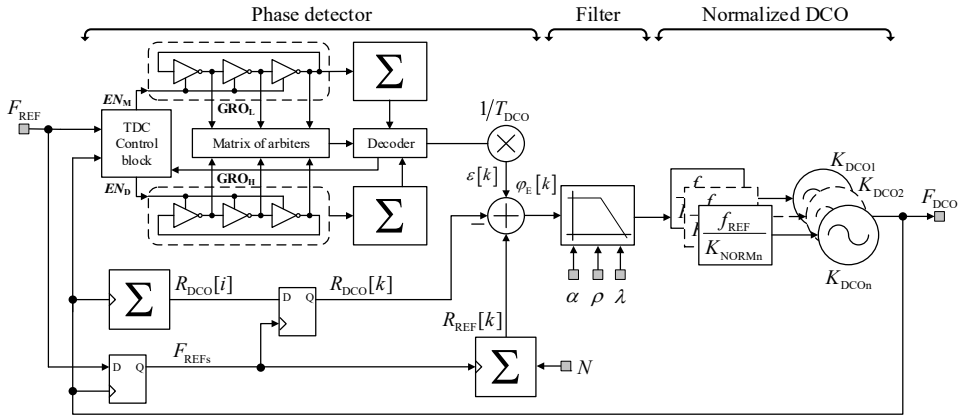


Fig. S2.5. Phase domain model of all digital frequency synthesiser for multiband transceiver

Wide tuning range is achieved by using multicore DCO, which is presented in Chapter 3. In this structure it is shown as multiple parallel-connected DCOs, because in general case, there can be n DCO cores used in synthesiser, but simultaneously only one core is operating. Each core has its own normalization coefficient K_{DCOn} , therefore, general DCO's normalization coefficient is a set of coefficients of each core $\mathbf{K}_{DCO} = \{K_{DCO1}, K_{DCO2}, \dots, K_{DCOn}\}$. Each core has to be normalized individually, therefore there are n normalization blocks.

High resolution of TDC is achieved by using proposed 2D *Vernier* TDC based on gated ring oscillators.

3. Design of main blocks of all-digital frequency synthesiser

Proposed structure of 2D *Vernier* TDC based on gated ring oscillators (Fig. S2.2) and its implementation in hardware description language allows to synthesise this TDC in various CMOS integrated circuit technologies. Such structure allows to implement one of main advantages of all-digital synthesisers – relatively easy migration between various technology nodes, what decreases design time and cost.

In this work proposed TDC is designed in 65 nm and 0.13 μm CMOS technologies. To implement such structure, tristate inverters, which are available in commercial grade CMOS technologies, are used as oscillator's stages instead of regular inverters. 48 parallel-connected oscillator sections is used in physical implementation of gated ring oscillators. Also, it should be noted, that only rising edges of signals, which are generated in gated ring oscillators, are used to avoid mismatch between delay of rising and falling edges. Therefore, logical stage spans through two physical inverters.

As it is known from previous chapter, biggest impact on performance of TDC has performance of GROs. Therefore, oscillators were modelled using analog approach. Transient simulations were carried out to analyze dependency of oscillator's frequency and corresponding stage delay on enabled number of oscillator sections. Transient simulations were done using Cadence integrated circuit design software. Parameters of time to digital converters in both 65 nm and 0.13 μm technologies were analyzed in three main operation conditions: typical, best and worst conditions, respectfully 1.2 V, 1.3 V and 1.1 V supply voltage; 40 $^{\circ}\text{C}$, -40 $^{\circ}\text{C}$ and 80 $^{\circ}\text{C}$ temperature; typical, fast and slow transistor's models.

In the typical operation conditions, the frequency of gated ring oscillator can be tuned from 0.68 GHz to 3.38 GHz and from 0.33 GHz to 0.71 GHz respectively in 65 nm and 0.13 μm technology. The delay of single stage can be changed from 491 ps to 98 ps and from 1.013 ns to 0.466 ns respectively in 65 nm and 0.13 μm CMOS. At least 3 and 5 sections of oscillator need to be enabled respectively in 65 nm and 0.13 μm CMOS for oscillator to start.

Tuning step of gated ring oscillator's stage delay corresponds to resolution of TDC if N_{OSC} number of sections are enabled in higher frequency GRO and $N_{\text{OSC}}-1$ sections are enabled in lower frequency GRO: $\Delta = \tau(N_{\text{OSC}}-1) - \tau(N_{\text{OSC}})$. In close to linear area of stage delay tuning characteristic, when N_{OSC} ranges from 20 to 48, step of stage delay, (equal to resolution of TDC) in nominal conditions changes from 3.4 ps to 0.8 ps and from 5.8 ps to 1.1 ps respectively in 65 nm and 0.13 μm CMOS. In worst conditions delay step changes from 6.1 ps to 1.1 ps and from 26 ps to 2 ps respectively in 65 nm and 0.13 μm CMOS. In best conditions delay step changes from 2.5 ps to 0.5 ps and from 3.1 ps to 0.8 ps respectively in 65 nm and 0.13 μm CMOS.

Raw stage delay in 0.13 μm CMOS is from 1.32 to 7.37 times larger, compared to raw resolution in 65 nm CMOS, but it is still possible to achieve low delay tuning step, close to 1 ps. Also it should be noted, that oscillation frequency and stage delay is more susceptible to process corner variations in 0.13 μm CMOS, than in 65 nm CMOS.

The area of silicon occupied by the core of TDC is equal to 75 $\mu\text{m} \times 100.8 \mu\text{m}$ and 150.68 $\mu\text{m} \times 202.4 \mu\text{m}$ respectively in 65 nm and 0.13 μm CMOS. Total area of silicon, including power rings, occupied by TDC is equal to 123 $\mu\text{m} \times 148.8 \mu\text{m}$ and 244.2 $\mu\text{m} \times 295.8 \mu\text{m}$ respectively in 65 nm and 0.13 μm CMOS.

It is known from Chapter 2, that in order to use DCO in multiband frequency synthesiser, it has to have small frequency tuning step, high output frequency, wide tuning range and low-noise. Reviewed digitally controlled oscillators can achieve small frequency step, in range of kilohertz (Maurath *et al.* 2017: 232–235; Huang *et al.* 2017: 1299–1307; Huang *et al.* 2015: 234–235; Staszewski *et al.* 2005: 2203–2211), however, most of DCO's have narrow frequency tuning range or are low-frequency. Therefore, the focus of this work was on latter features.

The structure of proposed DCO is shown in Fig. S3.1. It made of two LC tank DCO cores, decoupling stage, differential to single ended converter, tri-state buffers and frequency divider. Although two DCO cores are used in presented implementation, proposed structure can be scalable to use multiple cores to fulfil requirements of operating frequency and tuning range. However, used area of silicon is growing rapidly by adding more DCOs.

Both cores of LC DCOs share same architecture. Main components of the DCO are high quality factor inductor, two (coarse and fine) switched-capacitor arrays and negative impedance cross-coupled transistor pair. Frequency of DCO is tuned by using 6 bit coarse tuning and 3-bit fine tuning binary words. Frequency divider is used to increase available frequency values. Divider is made of eight divide-by-2 cells connected in daisy chain, thus division values from 2 to 256 are available.

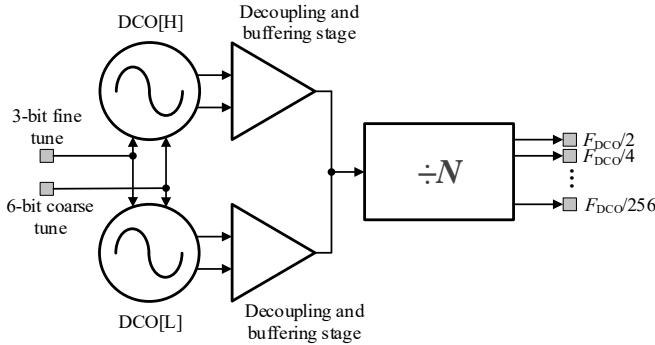


Fig. S3.1. Structure of 5 GHz LC digitally controlled oscillator

The voltage swing at output nodes of designed LC DCO core can reach twice of supply voltage. To make DCO compatible with other circuits, DC decoupling stage is used. In proposed architecture, frequency divider is based on extended-true-single-phase-clock (ETSPC) flip-flops. They are single ended devices, thus, differential to single ended converter is used. Such converter loads equally both output nodes of LC DCO and outputs single ended rail-to-rail signal. Tri-state buffers are used to isolate signal path to powered-down DCO and allow only one DCO to interface with frequency divider.

Proposed DCO was designed in IBM 7RF 0.18 μm CMOS technology and was simulated using Cadence software. Single 1.8 V voltage supply was used for the whole chip. Each DCO draws about 10 mA current, frequency divider uses about 27 mA, DC decoupling stage, buffers and other chip circuitry draws about 53 mA current. Total chip current is about 90 mA. Simulations show, that output frequency of DCO core is 4.3–5.4 GHz. Fig. S3.2 shows DCO's phase noise simulation results. When highest operating frequency is set, phase noise at output of DCO is -116.4 dBc/Hz at 1 MHz offset from 5.44 GHz carrier. When working at lowest frequency, phase noise at output of DCO is -117.6 dBc/Hz at 1 MHz offset from 4.3 GHz carrier.

Measurement results of manufactured prototype of DCO's integrated circuit show, that frequency of output signal of manufactured prototype ranges from 4.17 GHz to 5.12 GHz. Phase noise is equal to -110.12 dBc/Hz and -111.2 dBc/Hz at 1 MHz offset from carrier, when DCO is set respectively to highest and lowest operating frequency.

Whole chip, including pads, occupies $1.5 \text{ mm} \times 1.5 \text{ mm}$ area of silicon. Two DCOs with DC decoupling stage and tri-state buffers occupy $500 \text{ } \mu\text{m} \times 340 \text{ } \mu\text{m}$ area of silicon and frequency divider takes $55 \text{ } \mu\text{m} \times 270 \text{ } \mu\text{m}$ of chip space.

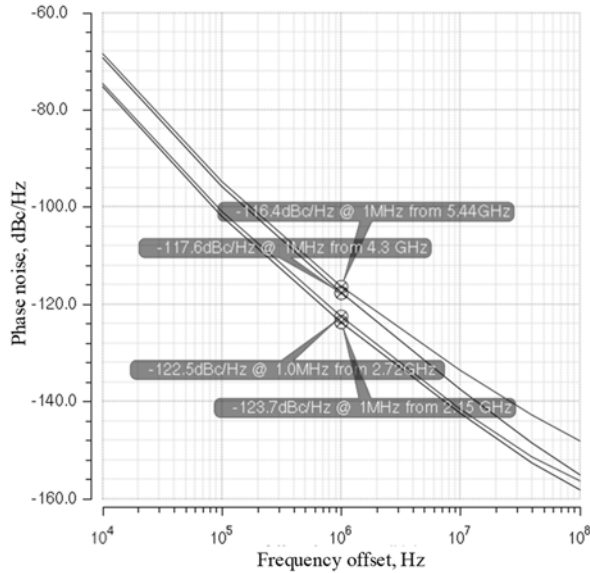


Fig. S3.2. Simulation results of LC digitally controlled oscillator's phase noise

The filter of frequency synthesiser has important role of controlling synthesiser's dynamic characteristics and noise filtering. However, it gets little attention in publications related to frequency synthesisers (Wu *et al.* 2014; Yang *et al.* 2010; Yin *et al.* 2011). Often it is only stated, that there is filter in the structure, without further elaboration. Therefore, integrated circuit of filter, suitable for applications in multiband frequency synthesisers is designed in this work. It is based on structure from (Staszewski 2011; Wu *et al.* 2015). Its main part is made of proportional and integral gain stages. Additional four cascaded IIR filter stages are used to form a higher order filter.

All stages of digital filter can be configured individually – they can be turned on or off and also gain coefficients of each stages can be changed. Such structure of digital filter allows to set synthesiser to type-I or type-II and change its order from first to sixth.

Filter is implemented in hardware description language and is synthesised in $0.13 \text{ } \mu\text{m}$ and 65 nm CMOS technologies. It occupies $108 \text{ } \mu\text{m} \times 88 \text{ } \mu\text{m}$ and $262.0 \text{ } \mu\text{m} \times 233.6 \text{ } \mu\text{m}$ area of silicon, respectively in 65 nm and $0.13 \text{ } \mu\text{m}$ technologies.

General conclusions

1. A comparative analysis of frequency synthesisers for wireless transceivers, which was carried out by using proposed figure of merit, has shown that all-digital frequency synthesisers in nanometric technologies are superior to conventional ones and their figure

of merit reaches -270.32 dBc/Hz. Conventional frequency synthesisers, implemented in submicron CMOS technologies ($0.18\ \mu\text{m}$ and $0.13\ \mu\text{m}$), are equivalent to or superior to all-digital frequency synthesisers.

2. The structure of all-digital frequency synthesiser for wireless transceivers, suitable for implementation in nanometric and submicron CMOS technologies, consists of TDC whose resolution has to be lower than $12\ \text{ps}$ to ensure lower than -90 dBc/Hz in-band phase noise when frequency of DCO's signal is $6\ \text{GHz}$; DCO whose frequency tuning range is at least $1\ \text{GHz}$ and its out-of-band phase noise is lower than -120 dBc/Hz; and digital filter made of a proportional and integral gain parts and additional IIR filters in order to change the type and order of frequency synthesiser and be able to precisely control the bandwidth of synthesiser.

3. The model of 2D *Vernier* TDC based on gated ring oscillators is created, which allows to measure the time interval between edges of input signals, which is smaller than value of stage delay. The model is realised in VHDL hardware description language and can be synthesised in nanometric and submicron technologies. Its control algorithm solves a problem of output signal decoding of two-dimensional *Vernier* time to digital converter, based on gated ring oscillators.

4. The TDC of proposed structure is synthesised and its integrated circuit is designed in $65\ \text{nm}$ and $0.13\ \mu\text{m}$ CMOS technologies using Cadence digital integrated circuit design tools. The tuning step of TDC's gated ring oscillator's stage delay, which corresponds to resolution of TDC, can be changed from $3.2\ \text{ps}$ to $0.8\ \text{ps}$ and from $5.8\ \text{ps}$ to $1.1\ \text{ps}$ respectively in $65\ \text{nm}$ and $0.13\ \mu\text{m}$ technologies at typical operation conditions, when number of enabled gated ring oscillator's sections is changed from 20 to 48. Stage delay in $0.13\ \mu\text{m}$ CMOS is from 1.32 to 7.37 times larger, compared to stage delay in $65\ \text{nm}$ CMOS, but it is possible to achieve small delay tuning step, close to $1\ \text{ps}$ in both technologies.

5. The integrated circuit of multi-tank LC digitally controlled oscillator in $0.18\ \mu\text{m}$ technology is designed in this work. Using two cores of DCO, a 4.17 – $5.12\ \text{GHz}$ frequency tuning range, phase noise equal to -110.12 dBc/Hz at $1\ \text{MHz}$ offset from $5.12\ \text{GHz}$ carrier is achieved and a frequency divider, with division coefficients from 2 to 256, is used together with DCO to increase the available frequency ranges. Current consumption of DCO core and measurement board is respectively $10\ \text{mA}$ and $140\ \text{mA}$ from $1.8\ \text{V}$ supply.

6. An integrated circuit of frequency synthesiser's digital filter, composed of a proportional and integral gain parts and four first-order IIR stages, is synthesised in $65\ \text{nm}$ and $0.13\ \mu\text{m}$ technologies. Its operating frequency is up to $100\ \text{MHz}$ and such structure of digital filter allows to set synthesiser to type-I or type-II and change its order from first to sixth. All blocks of the filter can be independently switched on and off and their transfer coefficients may be changed from 2^{-1} to 2^{-31} .

Priedai³

A priedas. Dažnio sintezatorių parametrai ir apskaičiuota kokybės funkcija

B priedas. Disertacijos autoriaus sąžiningumo deklaracija

C priedas. Bendraautorių sutikimai teikti publikacijų medžiagą disertacijoje

D priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos

³ Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Marijan JURGO

NANOMETRINIŲ INTEGRINIŲ GRANDYŲ
VISIŠKAI SKAITMENINIAMS DAŽNIO
SINTEZATORIAMS KŪRIMAS IR TYRIMAS

Daktaro disertacija

Technologijos mokslai,
elektros ir elektronikos inžinerija (01T)

DESIGN AND INVESTIGATION OF
NANOMETRIC INTEGRATED CIRCUITS
FOR ALL-DIGITAL FREQUENCY SYNTHESISERS

Doctoral Dissertation

Technological Sciences,
Electrical and Electronic Engineering (01T)

2018 10 05. 14,0 sp. l. Tiražas 20 egz.
Vilniaus Gedimino technikos universiteto
leidykla „Technika“,
Saulėtekio al. 11, 10223 Vilnius,
<http://leidykla.vgtu.lt>
Spausdino BĮ UAB „Baltijos kopija“
Kareivių g. 13B, 09109 Vilnius